

PATENT OFFICE  
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application: June 19, 2001

Application Number: Patent Application No. 2001-185040

Applicant(s): FUJITSU LIMITED  
FUJITSU VLSI LIMITED

August 3, 2001

Commissioner,  
Patent Office      Kohzoh OIKAWA

Certification No. 2001-3069214

日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月19日

出 願 番 号

Application Number:

特願2001-185040

出 願 人

Applicant(s):

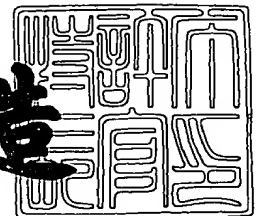
富士通株式会社

富士通ヴィエルエスアイ株式会社

2001年 8月 3日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3069214

【書類名】 特許願

【整理番号】 0140434

【提出日】 平成13年 6月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 29/06

【発明の名称】 信号検出装置、信号検出方法、信号伝送システム、及び  
コンピュータ読み取り可能なプログラム

【請求項の数】 10

【発明者】

    【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴ  
                        ィエルエスアイ株式会社内

    【氏名】 原口 裕子

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【特許出願人】

    【識別番号】 000237617

    【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

    【識別番号】 100098431

    【弁理士】

    【氏名又は名称】 山中 郁生

    【電話番号】 052-218-7161

【選任した代理人】

    【識別番号】 100097009

    【弁理士】

    【氏名又は名称】 富澤 孝

【手数料の表示】

    【予納台帳番号】 041999

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0008078

【包括委任状番号】 0008079

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号検出装置、信号検出方法、信号伝送システム、  
及びコンピュータ読み取り可能なプログラム

【特許請求の範囲】

【請求項 1】 入力信号の電圧振幅レベルを検出するレベル検出部と、  
前記レベル検出部の出力信号における状態遷移を検出する状態遷移検出部と、  
前記状態遷移検出部により第 1 所定時間内に所定回数の前記状態遷移が検出され  
た際に報知信号を出力する信号確認部と、

前記状態遷移検出部により第 2 所定時間内に状態遷移が検出されなかった際に  
報知信号を出力する非信号確認部と、

前記信号確認部により有効にされ、前記非信号確認部により無効にされる検出  
信号を生成する検出信号生成部とを備えることを特徴とする信号検出装置。

【請求項 2】 前記状態遷移検出部は、  
前記入力信号の所定の組み合わせにおいて前記レベル検出部から出力される出  
力信号の状態遷移を検出することを特徴とする請求項 1 に記載の信号検出装置。

【請求項 3】 前記状態遷移は、  
前記入力信号の電圧振幅レベルが所定電圧値以上の遷移、又は所定電圧値以下  
の遷移をすることに基づく、前記レベル検出部の出力信号における電圧レベルの  
遷移であることを特徴とする請求項 1 又は 2 に記載の信号検出装置。

【請求項 4】 前記信号確認部は、  
前記状態遷移検出部からの第 1 の出力信号をトリガとして、前記第 1 所定時間  
の計時を開始する第 1 計時部と、

前記第 1 計時部による計時間間中に、前記状態遷移検出部からの前記第 1 の出  
力信号に引き続く前記所定回数の出力信号を検出する検出器とを備えることを特  
徴とする請求項 1 に記載の信号検出装置。

【請求項 5】 前記非信号確認部は、  
前記状態遷移検出部からの出力信号をトリガとして、前記第 2 所定時間の計時  
を開始する第 2 計時部を備えることを特徴とする請求項 1 に記載の信号検出装置

【請求項 6】 前記検出信号生成部は、

前記信号確認部からの前記報知信号をセット信号とし、

前記非信号確認部からの前記報知信号をリセット信号とするフリップフロップ部を備えることを特徴とする請求項 1 に記載の信号検出装置。

【請求項 7】 入力信号の電圧振幅レベルを検出するレベル検出ステップと、

前記レベル検出ステップにおいて検出された前記入力信号の状態遷移を検出する状態遷移検出ステップと、

前記状態遷移検出ステップにより、第 1 所定時間内に所定回数の前記状態遷移が検出されたことを報知する信号確認ステップと、

前記状態遷移検出ステップにより、第 2 所定時間内に前記状態遷移が検出されなかったことを報知する非信号確認ステップと、

前記信号確認ステップにより有効にされ、前記非信号確認ステップにより無効にされる検出信号を生成する検出信号生成ステップとを有することを特徴とする信号検出方法。

【請求項 8】 請求項 1 乃至 6 の少なくとも何れか 1 項に記載の信号検出装置は、シリアルバス上に接続されており、前記信号検出装置によりシリアルバス上の信号を検出することにより信号の伝送を行うことを特徴とする信号伝送システム。

【請求項 9】 前記シリアルバスは、P 1 3 9 4 b 規格に適合又は準拠するバスであることを特徴とする請求項 8 に記載の信号伝送システム。

【請求項 1 0】 請求項 8 又は 9 に記載のシリアルバス上において、

入力信号の電圧振幅レベルを検出するレベル検出ステップと、

前記レベル検出ステップにおいて検出された前記入力信号の状態遷移を検出する状態遷移検出ステップと、

前記状態遷移検出ステップにより、第 1 所定時間内に所定回数の前記状態遷移が検出されたことを報知する信号確認ステップと、

前記状態遷移検出ステップにより、第 2 所定時間内に前記状態遷移が検出されなかったことを報知する非信号確認ステップと、

前記信号確認ステップにより有効にされ、前記非信号確認ステップにより無効にされる検出信号を生成する検出信号生成ステップとを有する信号検出方法により前記シリアルバス上の信号伝送を実行することを特徴とするコンピュータが読み取り可能なプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高速なデジタルインターフェースにおけるインターフェース信号の有無の判定に関するものである。

【0002】

【従来の技術】

IEEE 1394の次世代規格として、長い伝送距離において高速伝送を実現するためのP1394b規格が策定されつつある。P1394b規格では、ツイストペアケーブル等の伝送線路を伝送してくる差動入力信号等の電圧振幅レベルを検出し、電圧振幅レベルが規定値以下なら検出信号をローレベルとして出力しておき、規定値以上の電圧振幅レベルを検出したらハイレベルとして、伝送線路からの入力信号を検出したことを報知する信号検出回路が必要とされる。

【0003】

P1394b規格では、従来のIEEE 1394における伝送速度である400Mbpsから更なる高速化が検討されており、800Mbps（一般的にS800規格と称する）から3.2Gbps（一般的にS3200規格と称する）までの高速伝送規格が策定されている。最大でS3200規格の高速な転送速度で伝送されてくるデータ信号の電圧振幅レベルをビット単位毎にサンプリングして検出するためには、信号検出回路は、ナイキストのサンプリング定理により3.2GHzの2倍である6.4GHz以上の高速なサンプリング周波数で動作することが要求される。このような高速動作を要求される信号検出回路を実現するためには、従来より、遮断周波数がMOSトランジスタに比して高いバイポーラトランジスタを使用して構成することが一般的である。

【0004】

図 1 7 にデータ信号の電圧振幅レベルをビット単位で検出する信号検出回路 1 0 0 の一例を示す。差動入力信号のうち、正論理側の入力信号 I N + がピークホールド回路 1 1 0 に入力される。入力信号 I N + のピーク電圧レベルがピークホールド回路 1 1 0 から出力され、電圧レベル検出器 1 2 0 に入力される。入力信号 I N + が所定電圧レベルを上回れば、有効な差動入力信号が伝送されてきたとしてシグナルディテクト信号 S D をハイレベルにセットする。

## 【 0 0 0 5 】

ここで、ピークホールド回路 1 1 0 は、演算増幅器 A 1 1 0、ダイオード D 1 1 0、及びコンデンサ C 1 1 0 により構成されている。入力信号 I N + は演算増幅器 A 1 1 0 の非反転入力端子に入力されており、演算増幅器 A 1 1 0 の出力端子はダイオード D 1 1 0 のアノード端子に入力されている。ダイオード D 1 1 0 のカソード端子は演算増幅器 A 1 1 0 の反転入力端子にフィードバックされると共に、コンデンサ C 1 1 0 に接続されている。尚、コンデンサ C 1 1 0 の電荷を放電するためのリセットスイッチ S 1 1 0 が、コンデンサ C 1 1 0 と並列に接続されており、リセット信号 R により制御される。

## 【 0 0 0 6 】

また、電圧レベル検出器 1 2 0 は、ピークホールド回路 1 1 0 の出力端子を非反転入力端子に入力すると共に、反転入力端子には予め設定されている検出レベル電圧 V R E F が入力されている。

## 【 0 0 0 7 】

ピークホールド回路 1 1 0 は、ダイオード D 1 1 0 を順方向に挿入したボルテージフォロア回路を構成しているので、入力された入力信号 I N + がダイオード D 1 1 0 のカソード端子であるピークホールド回路 1 1 0 の出力端子に出力される。ここで、ボルテージフォロア構成におけるフィードバックパスにダイオード D 1 1 0 が順方向に挿入されているので、入力信号 I N + の電圧上昇に対してはピークホールド回路 1 1 0 の出力電圧は入力信号 I N + の電圧値に追従するが、逆に、入力信号 I N + の電圧下降に対してはダイオード D 1 1 0 の逆方向特性により、ピークホールド回路 1 1 0 の出力端子は出力電圧を維持する。ピークホールド回路 1 1 0 の出力端子に接続されているコンデンサ C 1 1 0 は、この時の出



力電圧を維持するために設けられている。また、リセットスイッチ S 1 1 0 は、ピークホールド回路 1 1 0 に設定されたピーク電圧値をリセット信号 R によりリセットするために設けられている。

#### 【 0 0 0 8 】

電圧レベル検出器 1 2 0 は、比較器を構成している。非反転入力端子に入力されているピークホールド回路 1 1 0 からの出力電圧を、反転入力端子に入力されている検出レベル電圧 V R E F と比較する。検出レベル電圧 V R E F に比してピークホールド回路 1 1 0 からの出力電圧が低い場合には、シグナルディテクト信号 S D としてローレベルを出力し、高い場合には、反転してハイレベルを出力して有効な差動入力信号が検出されたことを報知する。

#### 【 0 0 0 9 】

前述したように、入力信号 I N + をビットごとにサンプリングするためには、最大 3 . 2 G H z ( S 3 2 0 0 規格 ) のデータ転送レートの 2 倍の周波数である 6 . 4 G H z 以上のサンプリング周波数を必要とする。従って、ピークホールド回路 1 1 0 及び電圧レベル検出器 1 2 0 は、高速なバイポーラトランジスタを中心に構成する必要がある。

#### 【 0 0 1 0 】

##### 【発明が解決しようとする課題】

しかしながら、バイポーラトランジスタは、高速動作を実現することができるものの、バイポーラ素子で構成された回路を高速に動作させるためには多大なバイアス電流を流す必要があり、低消費電流動作を実現することは困難である。P 1 3 9 4 b 規格はパソコンや携帯情報端末等の携帯機器に普及していくと考えられる。携帯機器においてはバッテリー駆動により長時間の連続使用が要請され、また携帯性の必要から高密度実装が要求される。従って、連続使用時間の延長の観点から、更に実装上許容されるチップ発熱の観点からも、P 1 3 9 4 b における信号検出回路は低消費電流で動作することが要請されており、上記の構成の信号検出回路では要求を満足することができず問題である。

#### 【 0 0 1 1 】

また、携帯機器において要請される高密度実装に代表されるように、P 1 3 9

4 b 規格を実現するための多くの諸機能を高集積密度で実現するためには、CMOSトランジスタで構成されたシステムLSIで構成することが必要である。そこで、伝送線路からの差動入力信号を検出するための信号検出回路もこのシステムLSIに集積することが好ましい。しかしながら、MOSトランジスタの遮断周波数はバイポーラトランジスタの遮断周波数に比して低いので、CMOSトランジスタで構成されているシステムLSIでは、P1394b規格において必要とされているビット毎のサンプリングによる差動入力信号の電圧振幅レベルの検出は実現することはできない。従って、信号検出回路をバイポーラLSIで構成しながら、その他の諸機能をCMOSトランジスタで構成されているシステムLSIで構成するという2チップ構成で実現せざるを得ず、高密度実装を十分に図ることができない虞があり問題である。

#### 【0012】

更に、信号検出回路を実現するバイポーラトランジスタ部分と、その他の諸機能を実現するCMOSトランジスタ部分とを、1チップに実装することができる新規なバイCMOS (BiCMOS) LSIを開発することも考えられる。しかしながら、高速なバイポーラトランジスタを、大規模回路を集積することができる微細なCMOSトランジスタと共に1チップ上に実現することができるLSIを新たに開発するためには、多大な開発時間と開発費を要するため、適宜なタイミングと適宜な製造コストで実現することが難しく問題である。

#### 【0013】

本発明は前記従来技術の問題点を解消するためになされたものであり、次世代デジタルインターフェースにおいて、高速なデータ転送速度で伝送されてくる入力信号の検出を、低消費電流、且つ低コストで実現することができる信号検出装置、信号検出方法、信号伝送システム、及びコンピュータ読み取り可能なプログラムを提供することを目的とする。

#### 【0014】

##### 【課題を解決するための手段】

前記目的を達成するために、請求項1に係る信号検出装置は、入力信号の電圧振幅レベルを検出するレベル検出部と、レベル検出部の出力信号における状態遷

移を検出する状態遷移検出部と、状態遷移検出部により第1所定時間内に所定回数の状態遷移が検出された際に報知信号を出力する信号確認部と、状態遷移検出部により第2所定時間内に状態遷移が検出されなかった際に報知信号を出力する非信号確認部と、信号確認部により有効にされ、非信号確認部により無効にされる検出信号を生成する検出信号生成部とを備えることを特徴とする。ここで、非信号とは入力信号が検出されない状態を称するものとする。

## 【0015】

ここで、検出レベル部は、入力信号の電圧振幅レベルを所定電圧値と比較する比較部を有していることが好ましく、また、レベル検出部の出力信号は、論理信号であり、状態遷移検出部、信号確認部、非信号確認部、及び検出信号生成部は、論理回路で構成されていることが好ましい。

## 【0016】

また、請求項7に係る信号検出方法は、入力信号の電圧振幅レベルを検出するレベル検出ステップと、レベル検出ステップにおいて検出された入力信号の状態遷移を検出する状態遷移検出ステップと、状態遷移検出ステップにより、第1所定時間内に所定回数の状態遷移が検出されたことを報知する信号確認ステップと、状態遷移検出ステップにより、第2所定時間内に状態遷移が検出されなかったことを報知する非信号確認ステップと、信号確認ステップにより有効にされ、非信号確認ステップにより無効にされる検出信号を生成する検出信号生成ステップとを有することを特徴とする。

## 【0017】

ここで、レベル検出ステップには、入力信号の電圧振幅レベルと所定電圧値とを比較する比較ステップを含むことが好ましい。

## 【0018】

請求項1の信号検出装置、及び請求項7の信号検出方法では、検出された入力信号の電圧振幅レベルに基づき状態遷移が検出されると、第1所定時間内に所定回数の状態遷移が検出された際に信号確認の報知信号を出力し、第2所定時間内に状態遷移が検出されない場合に非信号確認の報知信号を出力する。信号確認の報知信号により有効にされ、非信号確認の報知信号により無効にされる検出信号

が出力される。

【 0 0 1 9 】

これにより、入力信号の電圧振幅レベルと所定電圧値との比較部分を除く、信号の状態遷移の検出、信号の確認、非信号の確認、及び検出信号の生成は、論理回路で構成することができるので、CMOS－LSI等のデジタル集積回路により実現すれば回路動作を低消費電流で実現することができる。本発明の信号検出装置、あるいは信号検出方法を使用したシステムにおいて低消費電流動作を実現することができる。これらのシステムを携帯機器等のバッテリー駆動システムに使用する場合、長時間連続使用に好適であると共に、集積回路実装時における発熱の問題が緩和され高密度実装を実現することができる。

【 0 0 2 0 】

また、信号検出のために割り当てられる検出時間の規格に合わせて、信号確認及び非信号確認を行うべき第1及び第2所定時間を適宜に設定してやればよく、必ずしも高速な信号転送速度に合わせた時間で信号検出を行う必要がない。従って、第1及び第2所定時間を信号転送速度に対応する時間に比して長い時間とすることができ、信号検出装置、あるいは信号検出方法を使用したシステムにおいて低消費電流動作を実現することができる。これらのシステムを携帯機器等のバッテリー駆動システムに使用して好適である。

【 0 0 2 1 】

また、信号伝送の規格により入力信号の状態遷移が所定周期以内に出現する場合、状態遷移が繰り返される最大時間が決定されるので、信号検出において状態遷移が所定回数検出される最大時間が決定される。従って、本発明の信号検出装置、あるいは信号検出方法を使用すれば、最大時間内に所定回数の信号が検出されるか否かで、入力された信号が、有効な信号であるかノイズであるかを的確に判断することができる。高速な信号転送速度と同じ短周期でサンプリングを行い信号検出する回路を必要とすることなく、簡易な回路構成により低消費電流動作で信号検出を行うことができる。

【 0 0 2 2 】

また、請求項2に係る信号検出装置は、請求項1に記載の信号検出装置におい

て、状態遷移検出部は、入力信号の所定の組み合わせにおいてレベル検出部から出力される出力信号の状態遷移を検出することを特徴とする。

【 0 0 2 3 】

ここで、前記信号検出方法において、状態遷移検出ステップでは、入力信号が所定の組み合わせで入力された際に、レベル検出ステップにおいて検出される入力信号の状態遷移を検出することが好ましい。

【 0 0 2 4 】

請求項 2 の信号検出装置、及び前記信号検出方法では、入力信号の所定の組み合わせに対して状態遷移を検出する。

【 0 0 2 5 】

これにより、入力信号の所定の組み合わせに対して状態遷移を検出することにより信号検出を行うようにすれば、入力信号の電圧振幅レベルを検出するレベル検出部、あるいはレベル検出ステップにおいて、高速な信号転送速度で伝送される信号の全てをサンプリングする必要がない。従って、レベル検出部、あるいはレベル検出ステップを、信号転送速度に比して低速度で構成すればよく低消費電流動作を実現することができる。携帯機器等のバッテリー駆動システムに使用して好適である。

【 0 0 2 6 】

また、請求項 3 に係る信号検出装置では、請求項 1 又は 2 に記載の信号検出装置において、状態遷移は、入力信号の電圧振幅レベルが所定電圧値以上の遷移、又は所定電圧値以下の遷移をすることに基づいた、レベル検出部の出力信号における電圧レベル遷移であることが好ましい。

【 0 0 2 7 】

ここで、前記信号検出方法において、状態遷移検出ステップでは、入力信号の電圧振幅レベルが、所定電圧値以上又は所定電圧値以下の遷移をしたことに基づき、状態遷移を検出することが好ましい。

【 0 0 2 8 】

また、請求項 4 に係る信号検出装置は、請求項 1 に記載の信号検出装置において、信号確認部は、状態遷移検出部からの第 1 の出力信号をトリガとして、第 1

所定時間の計時を開始する第1計時部と、第1計時部による計時間中に、状態遷移検出部からの第1の出力信号に引き続く所定回数の出力信号を検出する検出器とを備えることを特徴とする。

## 【0029】

ここで、前記信号検出方法において、信号確認ステップでは、状態遷移検出ステップにおいて最初に検出される入力信号の状態遷移をトリガとして、第1所定時間の計時を開始する第1計時ステップと、第1計時ステップによる計時間中に、状態遷移検出ステップにおいて検出される後続の入力信号の状態遷移を、所定回数検出する検出ステップとを有することが好ましい。

## 【0030】

請求項4の信号検出装置、及び前記信号検出方法では、信号確認をする際、第1の状態遷移を検出した信号をトリガとして、第1所定時間の計時を開始する。第1所定時間の計時間中に、第1の状態遷移に引き続く所定回数の状態遷移を検出する。

## 【0031】

また、請求項5に係る信号検出装置は、請求項1に記載の信号検出装置において、非信号確認部は、状態遷移検出部からの出力信号をトリガとして、第2所定時間の計時を開始する第2計時部を備えることを特徴とする。

## 【0032】

ここで、前記信号検出方法において、非信号確認ステップでは、状態遷移検出ステップにおいて検出される入力信号の状態遷移をトリガとして、第2所定時間の計時を開始する第2計時ステップを有することが好ましい。

## 【0033】

請求項5の信号検出装置、及び前記信号検出方法では、非信号確認をする際、状態遷移を検出した信号をトリガとして第2所定時間の計時を開始する。

## 【0034】

これにより、信号検出のために割り当てられる検出時間の規格に合わせて、信号確認及び非信号確認を行うべき第1及び第2所定時間を適宜に設定してやればよく、必ずしも高速な信号転送速度に合わせた時間で信号検出を行う必要がない

。従って、第 1 及び第 2 所定時間を信号転送速度に対応する時間に比して長い時間とすればよく、信号検出装置における第 1 及び第 2 計時部、あるいは信号検出方法における第 1 及び第 2 計時ステップを低消費電流で動作させることができる。携帯機器等のバッテリー駆動システムに使用して好適である。

## 【 0 0 3 5 】

また、信号伝送の規格により入力信号の状態遷移が所定周期以内に出現し、状態遷移が繰り返される最大時間が決定されている場合、第 1 計時部により計時される計時期間中に検出器により検出される状態遷移の回数が決定される。従って、本発明の信号検出装置、あるいは信号検出方法を使用すれば、第 1 所定時間の時間中に所定回数の状態遷移が検出されるか否かで、入力された信号が、有効な信号であるかノイズであるかを的確に判断することができる。

## 【 0 0 3 6 】

また、請求項 6 に係る信号検出装置では、請求項 1 に記載の信号検出装置において、検出信号生成部は、信号確認部からの報知信号をセット信号とし、非信号確認部からの報知信号をリセット信号とするフリップフロップ部を備えることが好ましい。

## 【 0 0 3 7 】

また、請求項 8 に係る信号伝送システムでは、請求項 1 乃至 6 の少なくとも何れか 1 項に記載の信号検出装置は、シリアルバス上に接続されており、信号検出装置によりシリアルバス上の信号を検出することにより信号の伝送を行うことが好ましい。

## 【 0 0 3 8 】

ここで、前記信号伝送システムにおいては、前記信号検出方法により、シリアルバス上の信号を検出して信号の伝送を行うことが好ましい。

## 【 0 0 3 9 】

また、請求項 9 に係る信号伝送システムでは、シリアルバスは、P 1 3 9 4 b 規格に適合又は準拠するバスであることが好ましい。

## 【 0 0 4 0 】

また、請求項 1 0 に係るコンピュータが読み取り可能なプログラムは、請求項

8又は9に記載のシリアルバス上において、入力信号の電圧振幅レベルを検出するレベル検出ステップと、レベル検出ステップにおいて検出された入力信号の状態遷移を検出する状態遷移検出ステップと、状態遷移検出ステップにより、第1所定時間内に所定回数の状態遷移が検出されたことを報知する信号確認ステップと、状態遷移検出ステップにより、第2所定時間内に状態遷移が検出されなかったことを報知する非信号確認ステップと、信号確認ステップにより有効にされ、非信号確認ステップにより無効にされる検出信号を生成する検出信号生成ステップとを有する信号検出方法によりシリアルバス上の信号伝送を実行することを特徴とする。

#### 【0041】

請求項10のコンピュータが読み取り可能なプログラムでは、検出された入力信号の電圧振幅レベルに基づき状態遷移が検出されると、状態遷移が第1所定時間内に所定回数検出された際に信号確認の報知信号を出力し、第2所定時間内に状態遷移が検出されない場合に非信号確認の報知信号を出力する。信号確認の報知信号により有効にされ、非信号確認の報知信号により無効にされる検出信号が出力される。

#### 【0042】

これにより、シリアルバス上における信号伝送を行う際の信号検出方法を実行するためのステップが、コンピュータが読み取り可能なプログラムに格納されているので、このプログラムを実行することにより、簡単に一連のステップを実行することができる。

#### 【0043】

更に、一連のステップを、コンピュータが読み取り可能なプログラムに格納することができるため、各種の記録媒体に記録し、あるいはインターネット等の電気通信回線を介して、柔軟に配信、インストールすることができる。

#### 【0044】

#### 【発明の実施の形態】

以下、本発明の信号検出装置、信号検出方法、信号伝送システム、及びコンピュータ読み取り可能なプログラムについて具体化した第1及び第2実施形態を図



1乃至図16に基づき図面を参照しつつ詳細に説明する。図1は、第1実施形態の信号検出装置を示す回路ブロック図である。図2は、P1394b規格におけるシグナルディテクト信号のタイミングパラメータを示す説明図である。図3、4は、P1394b規格における8b10b符号を示すコード表である。図5は、第1実施形態における電圧レベル検出器の具体例を示す回路図である。図6は、第1実施形態におけるシグナルディテクトセット回路の具体例を示す回路ブロック図である。図7は、第1実施形態におけるシグナルディテクトリセット回路の具体例を示す回路ブロック図である。図8は、シグナルディテクト信号のセットシーケンスを示す状態遷移図である。図9は、シグナルディテクト信号のリセットシーケンスを示す状態遷移図である。図10は、シグナルディテクト信号のセットシーケンスを示すタイムチャートである。図11は、シグナルディテクト信号のセット中の動作を示すタイムチャートである。図12は、シグナルディテクト信号のリセットシーケンスを示すタイムチャートである。図13は、第2実施形態の信号検出装置の構成図である。図14は、第2実施形態の信号検出装置で実行される信号検出方法のうちシグナルディテクト信号のセットフローを示すフローチャートである。図15は、第2実施形態の信号検出装置で実行される信号検出方法のうちシグナルディテクト信号のリセットフローを示すフローチャートである。図16は、信号伝送システムの構成例を示すシステム構成図である。図17は、従来技術の信号検出装置を示す回路ブロックである。

#### 【0045】

図1に示す第1実施形態の信号伝送装置1では、図17に示す従来技術の信号伝送装置100におけるピークホールド回路110と電圧レベル検出器120との構成に代えて、差動入力信号IN+、IN-が入力される電圧レベル検出器10と、電圧レベル検出器の出力信号Lの状態遷移における立上りエッジを検出する立上りエッジ検出回路30と、立上りエッジ検出回路30の出力信号EDGに基づくシグナルディテクトセット回路50及びシグナルディテクトリセット回路70と、セット／リセット回路50、70からの出力信号SET、RSTに応じてシグナルディテクト信号SDを出力するシグナルディテクト信号作成回路90とを有している。

## 【 0 0 4 6 】

電圧レベル検出器 1 0 は、アナログ回路で構成されており、差動入力信号  $I N +$ 、 $I N -$  が入力され所定規定値の電圧振幅レベル差以上の差動入力  $I N +$ 、 $I N -$  に対してハイレベルの出力信号  $L$  を出力する。出力信号  $L$  は論理信号である。一方、立上リエッジ検出回路 3 0 から、シグナルディテクトセット回路 5 0、シグナルディテクトリセット回路 7 0、及びシグナルディテクト信号作成回路 9 0 までは、デジタル回路で構成されている。立上リエッジ検出回路 3 0 は、論理信号である電圧レベル検出器 1 0 の出力信号  $L$  の立上り状態遷移のエッジを検出してエッジ検出信号  $E D G$  を出力する回路である。シグナルディテクトセット回路 5 0 は、クロック信号  $C L K$  により計時される第 1 所定時間内に所定回数のエッジ検出信号  $E D G$  を検出することによりシグナルディテクトセット信号  $S E T$  を出力する。また、シグナルディテクトリセット回路 7 0 は、クロック信号  $C L K$  により計時される第 2 所定時間内にエッジ検出信号  $E D G$  を検出しないことを条件としてシグナルディテクトリセット信号  $R S T$  を出力する。シグナルディテクト信号作成回路 9 0 は、シグナルディテクトセット信号  $S E T$  によりシグナルディテクト信号  $S D$  をセットし、シグナルディテクトリセット信号  $R S T$  によりシグナルディテクト信号  $S D$  をリセットする。

## 【 0 0 4 7 】

ここで、信号伝送の規格の例として P 1 3 9 4 b について説明する。図 2 には P 1 3 9 4 b 規格におけるシグナルディテクト信号  $S D$  が出力されるタイミングパラメータの規格が示されている。規格では、有効信号の検出からシグナルディテクト信号  $S D$  のアサートまでの遅延時間 ( $t_{s d \text{ on}}$ )、及び非有効信号の検出からシグナルディテクト信号  $S D$  のネゲートまでの遅延時間 ( $t_{s d \text{ off}}$ ) について規定しており、各々  $100 \mu s e c$  を最大値として規定している。ここで、有効信号の検出とは、所定回数のエッジ検出信号  $E D G$  を検出することとして設定することができ、このときの第 1 所定時間を遅延時間  $t_{s d \text{ on}}$  とすればよい。即ち、遅延時間  $t_{s d \text{ on}}$  内に所定回数のエッジ検出信号  $E D G$  を検出した場合にシグナルディテクト信号  $S D$  をアサートすればよい。また、非有効信号の検出とは、エッジ検出信号  $E D G$  を検出しないこととして設

定することができ、このときの第 2 所定時間を遅延時間  $t_{sdoff}$  とすればよい。即ち、遅延時間  $t_{sdoff}$  内にエッジ検出信号 EDG を検出しない場合にシグナルディテクト信号 SD をネゲートすればよい。

#### 【0048】

また、P1394b 規格において採用される符号化方式である 8b10b 符号のコード表を図 3、4 に示す。8b10b 符号化方式は、図 3、4 に示すように 8 ビットのデータを 10 ビット長の符号に符号化する方式である。伝送線路上には符号化された 10 ビット長の符号が伝送される。符号化は、10 ビット長の符号におけるビット“0”の数とビット“1”の数とを考慮して行われ、1 組の 8 ビットデータに対してビット“0”が多い 10 ビット長の符号とビット“1”が多い 10 ビット長の符号との 2 種類の符号が割り当てられている。これは、伝送線路上の電圧レベルにおける DC バランスを維持するためであり、ビット“1”が多い 10 ビット長の符号とビット“0”が多い 10 ビット長の符号とを交互に伝送することにより、伝送線路上の DC 的な電圧レベルの変動を抑制するものである。また、伝送線路におけるトランシーバの感度悪化を防止するため、同じビット値が連続することのないように符号化されており、10 ビット長の符号化信号において 5 ビット以上同じビット値が連続することのないように 10 ビット長の符号が設定されている。

#### 【0049】

更に、P1394b 規格では、バスの使用権を確保するために同じ要求パケット信号を送りつづけることから、他の規格に比して信号伝送時に特定周波数の放射雑音が大きいう特徴を有している。この雑音を低減するために、8 ビットデータに対してスペクトラム拡散方式を導入してデータのスクランブルを行っている。これにより、同じ 8 ビットデータに対しても特定の符号を使用して演算処理を行い、ビットパターンを擬似的にアットランダムに拡散することにより、放射雑音を広い周波数帯域に拡散して雑音を低減している。

#### 【0050】

以下の説明では、図 1 の第 1 実施形態の信号検出装置 1 を IEEE 1394 の次世代規格である P1394b 規格に適用した場合について具体的に説明する。

図 5 は、電圧レベル検出器 1 0 の具体例である。バイポーラトランジスタのエミッタ端子を接続した差動対を基本とした基本的な差動回路構成である。伝送線路から差動対のベース端子に至る入力信号  $I_{N+}$  の入力経路に、負の電圧レベルシフト回路  $V$  を設けてやることにより、差動回路の出力信号が反転する入力信号  $I_{N+}$ 、 $I_{N-}$  の電位差にオフセットを設定することができる。この電圧レベルシフト回路  $V$  により、差動の入力信号  $I_{N+}$ 、 $I_{N-}$  間の電圧振幅レベル差の規定値を設定することができる。電圧レベルシフト回路  $V$  は、図 5 においては電圧源のシンボルで表示しているが、伝送線路からの入力信号  $I_{N+}$  の入力系路上に抵抗素子（不図示）を設けて、この抵抗素子を介して伝送線路から定電流源（不図示）により定電流を引き抜く等の構成により簡単に設定することができる。抵抗素子の挿入が差動回路への入力インピーダンス規格に適合しない場合には、入力段にエミッタフォロアやソースフォロア（不図示）構成を備え、これを介して抵抗素子を接続して定電流源により電圧レベルをシフトダウンさせることもできる。尚、図 5 では、出力信号を  $O_{UT+}$ 、 $O_{UT-}$  として差動信号として表しているが、差動出力信号  $O_{UT+}$ 、 $O_{UT-}$  の後段に公知の回路構成を接続することにより論理レベルの単相出力を得ることができる。

#### 【 0 0 5 1 】

図 6 は、シグナルディテクトセット回路 5 0 の具体例である。立上りエッジ検出回路 3 0 からのエッジ検出信号  $E D G$  は、カウンタ制御回路① 5 6 のイネーブル端子  $E$  に接続されていると共に、エッジカウンタ 6 0 に接続されている。カウンタ制御回路① 5 6 の出力端子は、オン／オフ信号として  $N \times$  カウンタ 5 7 に入力されている。 $N \times$  カウンタ 5 7 には、クロック信号  $C L K$  と設定値  $N \times$  が入力されていると共に、カウント値を出力する出力信号が、一致検出回路 5 8 に接続されている。一致検出回路 5 8 には  $N \times$  カウンタ 5 7 における“0”のカウント値が比較値として入力されており、一致検出結果はオアゲート 5 5 の一方の入力端子に入力されると共に、インバータゲート 5 9 を介してエッジカウンタ 6 0 の出力端子と共にアンドゲート 6 1 を介して有効信号検出信号  $D$  として出力される。ここで、エッジカウンタ 6 0 の出力端子は、エッジ検出信号  $E D G$  による検出回数が設定値（不図示）に一致することによりセットされてハイレベル信号を出

力する。有効信号検出信号Dはオアゲート55の他方の入力端子に接続されており、オアゲート55の出力端子は、エッジカウンタ60のリセット端子Rと、カウンタ制御回路①56のリセット端子Rとに入力されている。また、有効信号検出信号Dは、シグナルディテクト信号SDからインバータゲート62を介した信号と共にアンドゲート63に入力されており、アンドゲート63からシグナルディテクトセット信号SETが出力されている。

## 【0052】

図6のシグナルディテクトセット回路50の動作について、図8の状態遷移図に基づき説明する。図8のアイドル状態IDLでは、エッジ検出信号EDGのハイレベル信号を受付可能な状態となっている。ここで、エッジ検出信号EDGのハイレベル信号を受け付けると状態が遷移し、1つ目のエッジ検出信号EDGを受け付けた状態(f i r s t e d g e)となる。図6の回路図においては、エッジ検出信号EDGにハイレベル信号が入力されると、カウンタ制御回路①56からオン信号を出力することに対応する。

## 【0053】

このオン信号は、Nxカウンタ57に入力されておりクロック信号CLKに同期して、Nxカウンタ57がオン信号を取り込むと共に、カウント動作を開始する。図8における(f i r s t e d g e)状態からクロック信号CLKに同期してカウント値が1ずつ増加していく(図8において、状態1から状態Nxまで)。カウント動作が継続しカウント値が設定値Nxに一致すると、次のクロック信号CLKでカウント値は初期値“0”にリセットされる。カウント値が“0”になると、一致検出回路58の出力信号はハイレベルとなり、オアゲート55に入力されカウンタ制御回路①56をリセットする。そしてNxカウンタ57は次サイクルのクロック信号CLKに同期してリセット状態となる。即ち、アイドル状態IDLに戻る。ここで、設定値NxはNxカウンタ57の外部より与えられており、適宜に変更することができる。

## 【0054】

Nxカウンタ57におけるカウンタ動作の何れかのタイミングで、エッジ検出信号EDGがハイレベルとなり電圧レベル検出器10の出力信号の立上りエッジ

を検出すると、エッジカウンタ 6 0 において所定数（この場合、2 回）のエッジを検出したとして出力端子をセットしてハイレベル信号を出力する。ここで、N x カウンタ 5 7 カウント途中では、N x カウンタ 5 7 のカウンタ値は“0”以外のカウンタ値を出力している。従って、一致検出回路 5 8 の出力信号からインバータゲート 5 9 を介した信号はハイレベルを維持している。結果としてアンドゲート 6 1 の出力信号である有効信号検出信号 D はハイレベルとなる。この時点ではシグナルディテクト信号 S D はローレベルとなっており、インバータゲート 6 2 の出力端子はハイレベルとなっている。アンドゲート 6 3 の双方の入力端子がハイレベルとなり、シグナルディテクトセット信号 S E T がハイレベルにセットされる（図 8 では、s e t の状態）。

#### 【0 0 5 5】

シグナルディテクトセット信号 S E T が出力されると同時に、有効信号検出信号 D がオアゲート 5 5 を介してエッジカウンタ 6 0 とカウンタ制御回路① 5 6 とをリセットして、次サイクルのクロック信号 C L K に同期して N x カウンタ 5 7 がリセットされ、カウンタ値を“0”にリセットする。このカウンタ値“0”が一致検出回路 5 8 において一致検出されて、一致検出回路 5 8 はハイレベルの出力信号を出力する。そして、インバータゲート 5 9 を介してアンドゲート 6 1 の一方の入力信号はローレベルとなり、有効信号検出信号 D はローレベルに、更にシグナルディテクトセット信号 S E T もローレベルに戻る。一方、シグナルディテクトセット信号 S E T がハイレベルとなったことに基づき、シグナルディテクト信号作成回路 9 0 により、シグナルディテクト信号 S D がハイレベルとなるので、インバータゲート 6 2 の出力信号をローレベルに固定して更なる有効信号検出信号 D を受け付けなくなる（図 8 では、w a i t 状態）。この状態において、後述のシグナルディテクトリセット信号 R S T により、シグナルディテクト信号作成回路 9 0 を介してシグナルディテクト信号 S D がローレベルとなれば、エッジ検出信号 E D G が受け付けられるアイドル状態 I D L に戻る。尚、図 8 の状態遷移図においては、エッジカウンタ 6 0 の設定値は 2 としており、エッジ検出信号 E D G が 2 回出力されれば出力信号をセットしてハイレベルを出力するように設定しているが、カウンタ値を任意に設定して構成することも可能である。

## 【 0 0 5 6 】

図 7 は、シグナルディテクトリセット回路 7 0 の具体例である。有効信号検出信号 D が一方の入力端子に入力されているオアゲート 7 1 の出力端子が、カウンタ制御回路② 7 2 のリセット端子 R に入力されている。カウンタ制御回路② 7 2 のイネーブル端子 E には、シグナルディテクト信号 S D が入力されている。カウンタ制御回路② 7 2 の出力端子は、オン／オフ信号として N y カウンタ 7 3 に入力される。N y カウンタ 7 3 には、クロック信号 C L K と設定値 N y が入力されていると共に、カウント値を出力する出力信号が、一致検出回路 7 4 に接続されている。一致検出回路 7 4 には設定値 N y が比較値として入力されており、一致検出結果が、オアゲート 7 1 の他方の入力端子に接続される共に、シグナルディテクトリセット信号 R S T として出力されている。

## 【 0 0 5 7 】

図 7 のシグナルディテクトリセット回路 7 0 の動作について、図 9 の状態遷移図に基づき説明する。図 9 のアイドル状態 I D L において、カウンタ制御回路② 7 2 は、シグナルディテクト信号 S D のハイレベル信号がイネーブル端子 E に入力されると、N y カウンタ 7 3 に向けてオン信号を出力し、信号を検出した状態（図 9 では、s i g n a l d e t e c t）となる。このオン信号の後、N y カウンタ 7 3 に入力されているクロック信号 C L K に同期して N y カウンタ 7 3 がカウント動作を開始する。図 9 における（s i g n a l d e t e c t）状態からクロック信号 C L K に同期してカウント値を 1 つずつ増加させていく（図 9 において、状態 1 から状態 N y まで）。カウント動作が継続しカウント値が設定値 N y に一致すると、一致検出回路 7 4 によりシグナルディテクトリセット信号 R S T を出力する。シグナルディテクトリセット信号 R S T は、オアゲート 7 1 を介してカウンタ制御回路② 7 2 をリセットし、カウンタ制御回路② 7 2 からの出力信号としてオフ信号を N y カウンタ 7 3 に出力する。N y カウンタ 7 3 はリセットされ、アイドル状態 I D L に戻る。ここで、設定値 N y は N y カウンタ 7 3 の外部より与えられており、適宜に変更することができる。

## 【 0 0 5 8 】

N y カウンタ 7 3 におけるカウンタ動作の何れかのタイミングで、有効信号検

出信号Dがハイレベルとなり、シグナルディテクトセット回路50において有効な信号を検出した場合には、オアゲート71を介してカウンタ制御回路②72がリセットされNyカウンタ73がリセットされて、信号を検出した状態（図9では、signal detect）に戻る。この場合、シグナルディテクト信号SDがハイレベルとなっているので、カウンタ制御回路②72は、再度イネーブル状態となり、出力端子からオン信号をNyカウンタ73に出力する。クロック信号CLKに同期してNyカウンタ73は、リセットされた後、再度カウント動作を開始する（図9では、signal detect）。

## 【0059】

図10乃至12には、図6乃至9によるシグナルディテクト信号SDの各動作シーケンスを示している。図10乃至12では、電圧レベル検出器10の入出力信号である差動の入力信号IN+、IN-と、出力信号L、更に、信号検出結果を示すシグナルディテクト信号SDが表示されている。尚、図10、11では、入力信号IN+、IN-の切り替わりサイクルに同期して電圧レベル検出器10の出力信号Lにおける立上リエッジを検出する場合を示しており、Nxカウンタ57をカウントするクロック信号CLKの周期を入力信号の切り替わりサイクルに同期させた場合について例示している。また、信号検出においては、入力信号IN-に比して入力信号IN+がハイレベルにある場合のみを検出対象としている。

## 【0060】

図10における信号(1)は、差動入力信号IN+、IN-の電位差が所定値に達するサイクルが1ビット長しか発生しない場合を示している。差動入力信号IN+、IN-が所定電圧差になった場合に、電圧レベル検出器10はハイレベルの出力信号Lを出力し立上リエッジ検出回路30がエッジ検出信号EDGを出力する。これにより、カウンタ制御回路①56がイネーブル状態となりNxカウンタ57を起動してカウント動作をはじめる。しかしながら、Nx回のカウント期間である所定時間Xns内に後続のエッジが検出されないため、エッジカウンタ60の出力信号はローレベルを維持し、有効信号検出信号Dがセットされることはない。従って、シグナルディテクトセット信号SETはセットされずシグナ



ルディテクト信号SDはローレベルを維持する。Nxのカウント後、Nxカウンタ57の出力信号がローレベルとなるので、インバータゲート54を介してカウンタ制御回路①56をリセットしてNxカウンタ57へオフ信号を送り、カウント値がリセットされると共にカウント動作は停止してアイドル状態IDLに戻る。入力信号IN+、IN-において、有効であると判断されたビットは1ビットのみであり後続する信号が検出されない。従って、ここで得られた1ビット長の検出信号はノイズであると判断される。

#### 【0061】

図10における信号(2)、信号(3)は、差動入力信号IN+、IN-の電位差が1ビットを挟んで連続する2ビットについて所定値を越えた場合を示している。差動入力信号IN+、IN-が所定電圧差になった場合に、電圧レベル検出器10はハイレベルの出力信号Lを出力し立上りエッジ検出回路30がエッジ検出信号EDGを出力する。まず、最初のビットによりエッジ検出信号EDGが出力されることにより、カウンタ制御回路①56がイネーブル状態となりNxカウンタ57を起動してカウント動作をはじめる。1ビット挟んで次のビットにおいてもエッジ検出信号EDGが出力される。1ビットを挟んだ2つのビットの立上りエッジ間隔は、P1394bのt<sub>adon</sub>時間の規格に対して通常充分に短いので、Nx回のカウント動作である所定時間Xns内の時間であるといえる。従って、Nxカウンタ57の出力信号はハイレベルを維持しておりインバータゲート59の出力信号がハイレベルを維持したまま、エッジカウンタ60の出力信号もハイレベルとなる。有効信号検出信号Dがセットされ、シグナルディテクト信号SDがハイレベルにセットされていなければシグナルディテクト信号SDがハイレベルにセットされる。図10においては、入力信号IN+、IN-の立上りエッジに同期するクロック信号CLKにより、2番目の出力信号Lに同期してシグナルディテクト信号SDがセットされる。シグナルディテクト信号SDがインバータゲート62を介してアンドゲート63に入力されているので、有効信号検出信号Dはアンドゲート63によりマスクされ、以後の有効信号検出信号Dは受け付けられなくなる。入力信号IN+、IN-において、1ビットを挟んだ2ビットにおいて立上りエッジを検出でき、このエッジ間隔がNx回のカウン

ト動作である所定時間  $X_n s$  内の時間であるので、有効な信号が検出されたと判断される。

#### 【0062】

図11における信号(4)、信号(5)は、差動入力信号  $IN+$ 、 $IN-$  の電位差が所定値に達するサイクルが2ビット検出されるが、時間間隔が  $N \times$  カウンタの  $N \times$  カウントである所定時間  $X_n s$  以内に存在していない場合を示している。信号(4)の出力信号  $L$  に対して、 $N \times$  カウンタ57がカウント動作を開始するが、次の信号(5)のエッジ検出信号  $EDG$  が検出される前に、 $N \times$  カウンタが  $N \times$  カウントを終了してしまう。従って、 $N \times$  カウンタ57の出力カウンタ値は“0”となり、よって一致検出回路58の出力がハイレベルとなって、オアゲート55を介してエッジカウンタ60とカウンタ制御回路①56とをリセットして  $N \times$  カウンタ57のカウント値をリセットすると共に、動作を停止してアイドル状態  $IDL$  に戻る。従って、出力信号  $L$  の信号(5)はノイズであると判断される。尚、出力信号(4)は、先行する出力信号  $L$  との時間間隔が  $X_n s$  以下である場合には、有効な信号として検出されている。

#### 【0063】

図11における信号(6)、信号(7)は、差動入力信号  $IN+$ 、 $IN-$  の電位差が所定値に達するサイクルが、信号(6)については、2ビット連続した信号であり、信号(7)については、2ビット以上連続した信号である場合を示している。両信号の間には1ビット分の反転信号が挟まれているので、信号(6)と信号(7)とのエッジ間隔は3ビット長となる。これらのビットの立上リエッジ間隔は、P1394bの  $t_{sd\_on}$  時間の規格に対して通常十分に短いので、 $N \times$  回のカウント動作である所定時間  $X_n s$  内の時間であるといえる。従って、最初のエッジ検出によりカウント動作を開始した  $N \times$  カウンタのカウント途中で、2つ目のビット信号に起因する立上リエッジが検出され、有効な信号が検出されたと判断される。

#### 【0064】

また、シグナルディテクトリセット回路70の動作としては、シグナルディテクト信号  $SD$  がハイレベルの状態であるので、回路70は信号を検出した状態（

図9では、signal detect)にある。そこに信号(4)と信号(4)の先行信号により検出された有効信号検出信号Dが入力され、カウンタ制御回路⑦2がリセットされる。Nyカウンタ73はカウント値がリセットされた後、再びカウントを開始する。有効信号検出信号Dが再度入力されるのは、前述したように信号(7)の立上りエッジが検出されるタイミングである。信号(4)によりNyカウンタ73が再起動してからカウント値がNyとなる所定時間Ynsに達していない場合には、カウント値はNy未満の値となっており、設定値Nyとの一致検出はされない。従って、シグナルディテクトリセット信号RSTが出力されることはなく、カウンタ制御回路⑦2によりNyカウンタ73はリセットされて、所定時間Ynsのカウントを再度始める。

## 【0065】

図12における信号(8)、信号(9)は、差動入力信号IN+、IN-の電位差が所定値に達する時間間隔が、NxカウンタのNxカウントである所定時間Xns以内に存在していない場合を示している。図11における信号(4)、信号(5)の場合と同様に信号(9)はノイズであると判断される。

## 【0066】

信号(9)はノイズであると判断されるため、シグナルディテクト信号SDが出力されるのは、信号(8)の時点である。従って、信号(8)によりNyカウンタ73はカウント値がリセットされ再びカウント動作を開始する。その間に検出される信号(9)は、ノイズであると判断され、他に出力信号Lも検出されないため、Nyカウンタ73はカウント動作を継続し、設定値Nyまでカウント動作を継続する。カウント値がNyになったところで、一致検出回路74の出力信号であるシグナルディテクトリセット信号RSTがハイレベルを出力し、シグナルディテクト信号作成回路90がシグナルディテクト信号SDをリセットする。所定時間Yns以内に有効な信号が検出されなかったとして信号検出されない旨の動作を行う。

## 【0067】

次に、図13に第2実施形態の信号検出装置2を示す。信号検出装置2は、中央処理装置(以下、CPUと略記する。)22を中心にバス28を介して、通信

インターフェース 2 1 が接続されると共に、メモリ 2 3、磁気ディスク装置 2 4、表示装置（以下、C R T と略記する。）2 5、キーボード 2 6、及び外部記憶媒体駆動装置 2 7 が相互に接続されており、更に外部記憶媒体駆動装置 2 7 に C D R O M や磁気媒体等の外部記憶媒体 2 9 が着脱可能に設置される構成である。また、通信インターフェース 2 1 には、ツイストペアケーブル等のシリアルバスの信号伝送線路が接続されている。

## 【 0 0 6 8 】

後述の図 1 4、1 5 に示す信号検出方法のフローチャートは、第 1 実施形態の信号検出装置 1 において実現される信号検出方法を示している他、このフローチャートをプログラムにより備えてやれば信号検出装置 2 においても実行することができる。この場合プログラムは、信号検出装置 2 内のメモリ 2 3 や磁気ディスク装置 2 4 に記録されている他、C D R O M や磁気媒体等の外部記憶媒体 2 9 に記録されている場合に、外部記憶媒体駆動装置 2 7 を介して、更にインターネット等の電気通信回線（不図示）を介して、メモリ 2 3、磁気ディスク装置 2 4 に記録され、あるいは直接 C P U 2 2 に転送される。ここで、インターネット等の電気通信回線（不図示）は、有線の公衆電話回線や、携帯電話等向けの無線の公衆回線、及び有線あるいは無線の専用回線等の通信媒体とのインターフェースをとるために設けられており、通信インターフェース 2 1 を介して信号伝送線路に接続されていてもよい。

## 【 0 0 6 9 】

また、N x カウンタ 5 7、N y カウンタ 7 3、及びエッジカウンタ等の各設定値や、電圧レベル検出器 1 0 における差動入力信号 I N +、I N - 間の電位差の規定値等のパラメータは、信号検出装置 1 に対して不図示の入力装置により設定可能である他、信号検出装置 2 に対しては、C R T 2 5 等で確認しながらキーボード 2 6 からの入力が可能であると共に、磁気ディスク装置 2 4 や、C D R O M、磁気媒体等の外部記憶媒体 2 9 等に記録されており、上記プログラムの処理に従い C P U 2 2 からの指令に従って必要に応じて参照される。

## 【 0 0 7 0 】

以下、信号検出方法のフローについて図 1 4、1 5 に基づき具体的に説明する

。図 1 4 は、シグナルディテクト信号 S D をセットするフローチャートを示している。処理ステップ（以下、S と略記する。）1 では、電圧レベル検出器 1 0、あるいは通信インターフェースを介して入力された入力信号 I N +、I N - に基づく信号波形の立上りエッジを検出しており（S 1 : N O）、検出したら（S 1 : Y E S）エッジ検出のカウント数を 1 つ増加させる（S 2）。この時、エッジ検出を行う所定時間を計測する N x カウンタがカウント動作中でなければ（S 3 : N O）、カウント動作を開始して（S 4）エッジ検出状態に戻る（S 1）。カウント中であれば（S 3 : Y E S）更にエッジ検出回数が所定回数に達したか否かを判断する（S 5）。所定回数に達していなければ（S 5 : N O）、N x カウンタのカウント数を判断する（S 6）。N x カウントに達していれば（S 6 : Y E S）、エッジカウンタをリセットすると共に（S 1 2）N x カウンタをリセットして（S 7）、達していなければ（S 6 : N O）そのまま立上りエッジの検出を継続する（S 1）。

## 【 0 0 7 1 】

また、エッジ検出回数が所定回数に達していれば（S 5 : Y E S）、入力された信号は有効な入力信号であるとして有効信号検出信号 D を出力し（S 8）、エッジカウンタをリセットすると共に（S 1 3）N x カウンタをリセットする（S 9）。次に、シグナルディテクト信号 S D がセットされているか否かを判断する（S 1 4）。シグナルディテクト信号 S D がセットされていないければ（S 1 4 : N O）、シグナルディテクトセット信号 S E T をセットする（S 1 0）。セットされていれば（S 1 4 : Y E S）、シグナルディテクトセット信号 S E T はセットする必要がなく、次の有効信号検出信号 D を検出するために立上りエッジの検出状態に戻る（S 1）。

## 【 0 0 7 2 】

図 1 5 は、シグナルディテクト信号 S D をリセットするフローチャートを示している。S 1 2 にてシグナルディテクト信号 S D が出力されているか否かを検出しており（S 1 2 : N O）、検出されたら（S 1 2 : Y E S）入力信号 I N +、I N - を検出しないことを判断するための所定時間を計測する N y カウンタのカウント動作を開始する（S 1 3）。カウント動作中に有効な信号を検出したこと

を示す有効信号検出信号Dを検出するか否かを判断する（S 1 4）。検出すれば（S 1 4 : Y E S）N yカウンタをリセット（S 1 5）した上で再度カウント動作を開始する（S 1 3）。検出しなければ（S 1 4 : N O）、更にN yカウンタのカウント数を判断する（S 1 6）。そしてN yカウントに達していなければ（S 1 6 : N O）、S 1 4の有効信号検出信号Dの検出ステップに戻り検出動作を継続する。N yカウントに達していれば（S 1 6 : Y E S）、シグナルディテクトリセット信号R S Tをセットし（S 1 7）、N yカウンタをリセットして（S 1 8）、シグナルディテクト信号S Dのリセットフローを終了する。

## 【 0 0 7 3 】

図 1 6 には、シリアルバス B B 上に、装置 A 乃至 H の装置（I D = 0 乃至 7）、更に図示されていないその他の装置（I D = 8 乃至 n）からなる n + 1 の装置が、P 1 3 9 4 b シリアルバスシステムにより構成されていることを示している。P 1 3 9 4 b のインターフェースでは、各装置に対して I D 番号を付与することによりシステムを構成することができる。個々の装置には、シリアルバス B B とのインターフェース部分に信号検出装置 1、あるいは信号検出装置 2 が構成されており、これらの装置以外にも、図 1 4、1 5 のフローチャートにより示した信号検出方法を実現するインターフェースがソフトウェア、あるいはファームウェアとして備えられている。これらの信号検出装置 1、2、及び信号検出方法がインターフェース部分に備えられていることにより、各装置は、シリアルバス B B 上の信号について有効な信号を検出することができ、P 1 3 9 4 b インターフェースによる通信が可能となる。

## 【 0 0 7 4 】

以上詳細に説明したとおり、第 1 実施形態に係る信号検出装置 1、及び信号検出方法（図 1 4、1 5）では、入力信号 I N +、I N - の電圧振幅レベルと所定電圧値 V R E F との比較部分である電圧レベル検出器 1 0 を除く、電圧レベル検出器 1 0 の出力信号 L の状態遷移の検出を行う立上りエッジ検出回路 3 0、信号の確認を行うシグナルディテクトセット回路 5 0、非信号の確認を行うシグナルディテクトリセット回路 7 0、及び検出信号の生成を行うシグナルディテクト信号作成回路 9 0 は、論理回路で構成することができるので、C M O S - L S I 等

のデジタル集積回路により実現すれば回路動作を低消費電流で実現することができる。第 1 実施形態に係る信号検出装置 1、及び信号検出方法（図 1 4、1 5）を使用したシリアルバスシステム（図 1 6）において低消費電流動作を実現することができる。これらのシステムを携帯機器等のバッテリー駆動システムに使用する場合、長時間連続使用に好適であると共に、集積回路実装時における発熱の問題が緩和され高密度実装を実現することができる。

## 【 0 0 7 5 】

また、信号検出のために割り当てられる検出時間の規格に合わせて、信号確認及び非信号確認を行うべき第 1 及び第 2 所定時間を設定する  $N_x$  及び  $N_y$  カウンタのカウント周波数及び設定値（ $N_x$ 、 $N_y$ ）を適宜に設定してやればよく、必ずしも高速な信号転送速度に合わせた時間で信号検出を行う必要がない。従って、 $N_x$  及び  $N_y$  カウンタのカウント周波数を決定するクロック信号 CLK を信号転送速度に比して低周波数で動作させればよい。信号転送速度に合わせて動作させる場合に必要であった PLL 回路等の高周波数のクロック回路等が不要となる。信号検出装置 1、あるいは信号検出方法（図 1 4、1 5）を使用したシステム（図 1 6）において低消費電流動作を実現することができる。これらのシステムを携帯機器等のバッテリー駆動システムに使用して好適である。

## 【 0 0 7 6 】

特に、P 1 3 9 4 b 規格においては、P 1 3 9 4 b 規格における S 8 0 0 規格が 8 0 0 M b p s、S 3 2 0 0 規格が 3. 2 G b p s の高速伝送規格が策定されているが、信号検出装置 1、及び信号検出方法（図 1 4、1 5）を CMOS - L S I 等のデジタル集積回路により実現するので、低消費電流動作を実現することができ、更にいわゆるシステム L S I と称される大規模集積回路に集積することが可能となり高密度実装で P 1 3 9 4 b 規格に適合あるいは準拠した信号検出装置 1、信号検出方法（図 1 4、1 5）を提供することができる。

## 【 0 0 7 7 】

また、P 1 3 9 4 b 規格では図 2 に示すように、有効信号の検出からシグナルディテクト信号 SD のアサートまでの遅延時間（ $t_{sd\_on}$ ）、及び非有効信号の検出からシグナルディテクト信号 SD のネゲートまでの遅延時間（ $t_{sd\_off}$ ）を規定している。従って、信号検出装置 1、及び信号検出方法（図 1 4、1 5）を使用して、図 2 に示すように、有効信号の検出からシグナルディテクト信号 SD のアサートまでの遅延時間（ $t_{sd\_on}$ ）、及び非有効信号の検出からシグナルディテクト信号 SD のネゲートまでの遅延時間（ $t_{sd\_off}$ ）を規定している。従って、信号検出装置 1、及び信号検出方法（図 1 4、1 5）を使用して、図 2 に示すように、有効信号の検出からシグナルディテクト信号 SD のアサートまでの遅延時間（ $t_{sd\_on}$ ）、及び非有効信号の検出からシグナルディテクト信号 SD のネゲートまでの遅延時間（ $t_{sd\_off}$ ）を規定している。

d \_ o f f ) について規定しており、各々  $100\mu\text{sec}$  を最大値として規定している。そのため、この規格に合わせてシグナルディテクトセット回路 50 の  $N_x$  カウンタ 57 と、シグナルディテクトリセット回路 70 の  $N_y$  カウンタ 73 とのカウント周波数及び設定値 ( $N_x$ 、 $N_y$ ) を適宜に設定してやればよい。即ち、S 8 0 0 乃至 S 3 2 0 0 規格という高速な信号転送速度に対応するサンプリング周波数に比して低い周波数で信号検出を行うことができる。信号転送速度に合わせて動作させる場合に必要であった P L L 回路等の高周波数回路等が不要となり、低消費電流動作を実現することができる。これらのシステムを携帯機器等のバッテリー駆動システムに使用して好適である。

#### 【 0 0 7 8 】

また、P 1 3 9 4 b 規格においては、信号伝送のために 8 b 1 0 b の符号化を行っている。8 b 1 0 b 符号化では、伝送線路を伝播する 1 0 ビット長の符号内において同じビット値が 5 ビット以上連続することがない。従って、ビット値が切り替わる際の状態遷移が出現する最大時間が決定されることとなる。例えば S 8 0 0 規格 ( 8 0 0 M b p s ) に対して符号化後は 1 G b p s のビット信号が伝送するのでビット長は 1 n s となり、状態遷移が出現する最大時間は 5 n s ( 2 0 0 M H z ) となる。即ち、信号検出において、最大時間 ( S 8 0 0 規格の場合、5 n s ) 以内に状態遷移が検出されなければ、最初に状態遷移が検出された入力信号はノイズであると判断することができる。

#### 【 0 0 7 9 】

また、入力信号  $I_{N+}$ 、 $I_{N-}$  の所定の組み合わせに対して状態遷移を検出することにより信号検出を行うようにすれば、入力信号  $I_{N+}$ 、 $I_{N-}$  の電圧振幅レベルを検出する電圧レベル検出器 1 0、あるいはレベル検出ステップにおいて、高速な信号転送速度で伝送される信号の全てをサンプリングする必要がない。従って、電圧レベル検出器 1 0、あるいはレベル検出ステップを、信号転送速度に比して低速度で構成してもよく低消費電流動作を実現することができる。携帯機器等のバッテリー駆動システムに使用して好適である。

#### 【 0 0 8 0 】

特に、P 1 3 9 4 b 規格において、図 3、4 に示す 8 b 1 0 b 符号のコード表



では、伝送線路上の電圧レベルにおけるDCバランスを維持するため、伝送線路を伝播する10ビット長の符号パターンには、ビット“0”の多いパターンと、その反転パターンであるビット“1”の多いパターンとの2組の10ビット長の符号が、8ビットデータ毎に割り当てられている。10ビット長の符号の中で、電圧レベル検出器10、あるいはレベル検出ステップに立上リエッジを含むビット“1”のビット長が連続しないパターンは46個存在する（図3、4中、太い斜体文字で記載されたパターン）。このうち、ビット“0”の数とビット“1”の数が同数であるパターンは、12個存在する（図3、4中、太い斜体文字に網掛けが施されたパターン）。この12個のパターンは、ビット“0”とビット“1”とが反転関係にあるものがペアを構成しており1つの8ビットデータに対応している。従って、符号化前の8ビットデータでは6種類となる。52h、92h、A2h、AAh、ACh、ADhの6つの8ビットデータが該当する。上記46個のパターンから、この12個のパターンを除いた34個のパターンでは、ビット“1”の数がビット“0”の数に比して少ないパターンとなっている。

#### 【0081】

以上よりP1394b規格において伝送される10ビット長の符号を検討する。1つの8ビットデータに対して10ビット長の符号が2種類あるので、10ビット長の符号は $256 \times 2 = 512$ 存在する。このうちの46個の符号のみがビット“1”のビットが連続しない符号であるので、ビット“1”が2ビット長以上連続する符号は、 $512 - 46 = 466$ となる。即ち、全10ビット長の符号の90%以上がビット“1”が2ビット長以上連続する部分を有する符号である。また、46符号のうち34符号については、ビット“0”の数が多く、且つビット“1”が連続しない符号である。しかしながら、P1394b規格により、伝送線路上のDCバランスを維持するため次に伝送される10ビット長の符号はビット“1”の数が多い符号となる。即ち、34の符号のうち何れかの符号に続く符号ではビット“1”が少なくとも2ビット長連続する部分を含む符号となる。更に、残りの12の符号については、8ビットデータにおいて6種類のみであり全データ256種類に対して2%を占めるに過ぎない。加えて8ビットデータにスペクトラム拡散方式によるデータのスクランブルが加えられるため、この6

種類の 8 ビットパターンが連続することは考えられない。

【 0 0 8 2 】

以上のことより、2 バイト以上の適宜なバイト長を 1 単位として 1 0 ビット長の符号のビットデータ列を見れば、ビット “ 1 ” が連続する部分が現れる確率は高い。シグナルディテクト信号 S D のアサートまでの遅延時間 (  $t_{sd\_on}$  )、及び非有効信号の検出からシグナルディテクト信号 S D のネゲートまでの遅延時間 (  $t_{sd\_off}$  ) の最大値が  $100\mu sec$  であるという P 1 3 9 4 b 規格から考えれば、2 バイト以上のデータ長においてビット “ 1 ” が 2 ビット長以上連続して出現する際の立上りエッジを検出してやれば、確実に有効な信号を検出することができる。

【 0 0 8 3 】

故に、電圧レベル検出器 1 0 は、ビット “ 1 ” が 2 ビット長以上連続する部分を検出することができればよいこととなる。電圧レベル検出器 1 0 の検出感度を最適化することにより、S 8 0 0 規格等の高速なデータ転送速度に追従する必要がなくなり、電圧レベル検出器 1 0 の設計が容易なると共に、電圧レベル検出器 1 0 の低消費電流動作を実現して信号検出装置 1 の低消費電流動作に寄与するところ大である。

【 0 0 8 4 】

また、信号検出のために割り当てられる検出時間の規格に合わせて、信号確認及び非信号確認を行うべき第 1 及び第 2 所定時間を計測する N x カウンタ 5 7 及び N y カウンタ 7 3 を適宜に設定してやればよく、必ずしも高速な信号転送速度に合わせた時間で信号検出を行う必要がない。従って、N x カウンタ 5 7 及び N y カウンタ 7 3 を動作させるクロック信号 C L K を信号転送速度に比して低速で動作すればよく、信号検出装置 1 における第 1 及び第 2 計時部、あるいは信号検出方法における第 1 及び第 2 計時ステップである N x カウンタ 5 7 及び N y カウンタ 7 3 を低消費電流で動作させることができる。携帯機器等のバッテリー駆動システムに使用して好適である。

【 0 0 8 5 】

第 2 実施形態に係る信号検出装置 2、及び信号検出方法 ( 図 1 4、1 5 ) では

、第 1 実施形態の信号検出装置 1 における場合と同様の効果を奏すると共に、シリアルバス B B 上の信号伝送において有効な信号を検出する方法を実行するためのステップ（図 1 4、1 5）が、コンピュータで読み取り可能なプログラムとして、信号検出装置 2 内のメモリ 2 3 や磁気ディスク装置 2 4 に記録されている他、C D R O M や磁気媒体等の外部記憶媒体 2 9 に記録されている場合に外部記憶媒体駆動装置 2 7 を介して、更にインターネット等の電気通信回線（不図示）を介して、メモリ 2 3、磁気ディスク装置 2 4 に格納され、あるいは直接 C P U 2 2 に転送されて、C P U 2 2 からの指令により実行することができる。そして、このプログラムを P 1 3 9 4 b 規格に適合させることにより、信号検出装置 2 を P 1 3 9 4 b 規格に適合あるいは準拠したシリアルバス B B 上の信号伝送時における有効な信号の検出装置として使用することができる。

## 【 0 0 8 6 】

更に、一連のステップ（図 1 4、1 5）を、コンピュータが読み取り可能なプログラムに格納することができるため、C D R O M や磁気媒体等の外部記憶媒体 2 9 に記録しておき、あるいはインターネット等の電気通信回線を介してダウンロードすることにより、柔軟に配信、インストールすることができる。

## 【 0 0 8 7 】

図 1 6 に示す信号伝送システムにおける各装置（装置 A 乃至 H、及びその他の装置）には、シリアルバス B B とのインターフェース部分に第 1 実施形態の信号検出装置 1、あるいは第 2 実施形態の信号検出装置 2 が構成されており、これらの装置以外にも、図 1 4、1 5 のフローチャートにより示した信号検出方法を実現するインターフェースがソフトウェア、あるいはファームウェアとして備えられていれば、シリアルバス B B 上に伝送される信号を検出することができる。

## 【 0 0 8 8 】

また、各装置（装置 A 乃至 H、及びその他の装置）とシリアルバス B B とのインターフェース部分に構成される信号検出装置 1、2、あるいは信号検出方法を実現するソフトウェア、あるいはファームウェアを、P 1 3 9 4 b 規格に対応するように構成してやれば、図 1 6 に示す信号伝送システムを P 1 3 9 4 b 規格のインターフェースとして構成することができる。

## 【 0 0 8 9 】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、第 1 実施形態においては、図 8、9 に示すように、 $N_x$  及び  $N_y$  カウンタ 57, 73 のカウント用クロック信号 CLK の周波数を、各々の所定時間である  $N_x$  カウント及び  $N_y$  カウントまでの時間に比して高く設定したが、本発明の信号検出装置、信号検出方法、信号伝送システム、及びコンピュータ読み取り可能なプログラムはこれに限定されるものではなく、クロック信号 CLK の周波数を低く設定しておくこともできる。この場合は、所定時間に達した後、クロック信号 CLK が動作して信号確認、あるいは非信号確認をすることとなる。

また、本実施形態では、入力信号  $IN-$  に比して入力信号  $IN+$  が所定値より高い電圧レベルに達した場合に、立上リエッジを検出するように構成したが、これに限定されるものではなく、入力信号  $IN-$  に比して入力信号  $IN+$  が所定値より低い電圧レベルに達した場合に、立下リエッジを検出するように構成してもよく、更に、これらの両方のエッジを検出対象としてもよい。

また、本実施形態では、ツイストペアケーブルを用いて差動入力信号が伝送される場合について説明したが、これに限定されるものではなく、同軸ケーブルを用いた場合や、光ファイバーケーブルを使用する場合にも同様に適用することができる。この場合、入力信号は、差動信号ではなく単相信号であったり、また電気信号でなく光信号である場合も考えられるが、これらの場合にも入力されてきた信号のレベルを適宜に検出することができる入力バッファを備えることにより本発明を適用することができる。

また、本実施形態では、P1394b 規格について例示したが、これに限定されることはなく、更なる高速転送を実現する次世代の通信インターフェースについても同様に適用することができることはいうまでもない。

## 【 0 0 9 0 】

(付記 1) 入力信号の電圧振幅レベルを検出するレベル検出部と、

前記レベル検出部の出力信号における状態遷移を検出する状態遷移検出部と、

前記状態遷移検出部により第 1 所定時間内に所定回数的前記状態遷移が検出さ

れた際に報知信号を出力する信号確認部と、

前記状態遷移検出部により第 2 所定時間内に状態遷移が検出されなかった際に報知信号を出力する非信号確認部と、

前記信号確認部により有効にされ、前記非信号確認部により無効にされる検出信号を生成する検出信号生成部とを備えることを特徴とする信号検出装置。

(付記 2) 前記検出レベル部は、前記入力信号の電圧振幅レベルを所定電圧値と比較する比較部を有することを特徴とする付記 1 に記載の信号検出装置。

(付記 3) 前記レベル検出部の出力信号は、論理信号であり、

前記状態遷移検出部、前記信号確認部、前記非信号確認部、及び前記検出信号生成部は、論理回路で構成されていることを特徴とする付記 1 又は 2 に記載の信号検出装置。

(付記 4) 前記状態遷移検出部は、

前記入力信号の所定の組み合わせにおいて前記レベル検出部から出力される出力信号の状態遷移を検出することを特徴とする付記 1 乃至 3 の少なくとも何れか 1 項に記載の信号検出装置。

(付記 5) 前記状態遷移は、

前記入力信号の電圧振幅レベルが所定電圧値以上の遷移、又は所定電圧値以下の遷移をすることに基づき検出されることを特徴とする付記 1 乃至 4 の少なくとも何れか 1 項に記載の信号検出装置。

(付記 6) 前記状態遷移は、

前記レベル検出部の出力信号における電圧レベルの遷移であることを特徴とする付記 5 に記載の信号検出装置。

(付記 7) 前記信号確認部は、

前記状態遷移検出部からの第 1 の出力信号をトリガとして、前記第 1 所定時間の計時を開始する第 1 計時部と、

前記第 1 計時部による計時間間中に、前記状態遷移検出部からの前記第 1 の出力信号に引き続く前記所定回数の出力信号を検出する検出器とを備えることを特徴とする付記 1 乃至 3 の少なくとも何れか 1 項に記載の信号検出装置。

(付記 8) 前記非信号確認部は、

前記状態遷移検出部からの出力信号をトリガとして、前記第 2 所定時間の計時を開始する第 2 計時部を備えることを特徴とする付記 1 乃至 3 の少なくとも何れか 1 項に記載の信号検出装置。

(付記 9) 前記検出信号生成部は、

前記信号確認部からの前記報知信号をセット信号とし、

前記非信号確認部からの前記報知信号をリセット信号とするフリップフロップ部を備えることを特徴とする付記 1 乃至 3 の少なくとも何れか 1 項に記載の信号検出装置。

(付記 10) 入力信号の電圧振幅レベルを検出するレベル検出ステップと、

前記レベル検出ステップにおいて検出された前記入力信号の状態遷移を検出する状態遷移検出ステップと、

前記状態遷移検出ステップにより、第 1 所定時間内に所定回数の前記状態遷移が検出されたことを報知する信号確認ステップと、

前記状態遷移検出ステップにより、第 2 所定時間内に前記状態遷移が検出されなかったことを報知する非信号確認ステップと、

前記信号確認ステップにより有効にされ、前記非信号確認ステップにより無効にされる検出信号を生成する検出信号生成ステップとを有することを特徴とする信号検出方法。

(付記 11) 前記レベル検出ステップには、前記入力信号の電圧振幅レベルと所定電圧値とを比較する比較ステップを含むことを特徴とする付記 10 に記載の信号検出方法。

(付記 12) 前記状態遷移検出ステップでは、

前記入力信号が所定の組み合わせで入力された際に、前記レベル検出ステップにおいて検出される前記入力信号の状態遷移を検出することを特徴とする付記 10 又は 11 に記載の信号検出方法。

(付記 13) 前記状態遷移検出ステップでは、

前記入力信号の電圧振幅レベルが所定電圧値以上遷移したことに基づき、前記状態遷移を検出することを特徴とする付記 10 ないし 12 の少なくとも何れか 1 項に記載の信号検出方法。

(付記 1 4) 前記信号確認ステップでは、

前記状態遷移検出ステップにおいて最初に検出される前記入力信号の状態遷移をトリガとして、前記第 1 所定時間の計時を開始する第 1 計時ステップと、

前記第 1 計時ステップによる計時間間中に、前記状態遷移検出ステップにおいて検出される後続の前記入力信号の状態遷移を、前記所定回数検出する検出ステップとを有することを特徴とする付記 1 0 又は 1 1 に記載の信号検出方法。

(付記 1 5) 前記非信号確認ステップでは、

前記状態遷移検出ステップにおいて検出される前記入力信号の状態遷移をトリガとして、前記第 2 所定時間の計時を開始する第 2 計時ステップを有することを特徴とする付記 1 0 又は 1 1 に記載の信号検出方法。

(付記 1 6) 付記 1 乃至 9 の少なくとも何れか 1 項に記載の信号検出装置は、シリアルバス上に接続されており、前記信号検出装置によりシリアルバス上の信号を検出することにより信号の伝送を行うことを特徴とする信号伝送システム。

(付記 1 7) 付記 1 0 乃至 1 5 の少なくとも何れか 1 項に記載の信号検出方法により、シリアルバス上の信号を検出して信号の伝送を行うことを特徴とする信号伝送システム。

(付記 1 8) 前記シリアルバスは、P 1 3 9 4 b 規格に適合又は準拠するバスであることを特徴とする付記 1 6 又は 1 7 に記載の信号伝送システム。

(付記 1 9) 付記 1 6 乃至 1 8 の少なくとも何れか 1 項に記載のシリアルバス上において、

入力信号の電圧振幅レベルを検出するレベル検出ステップと、

前記レベル検出ステップにおいて検出された前記入力信号の状態遷移を検出する状態遷移検出ステップと、

前記状態遷移検出ステップにより、第 1 所定時間内に所定回数の前記状態遷移が検出されたことを報知する信号確認ステップと、

前記状態遷移検出ステップにより、第 2 所定時間内に前記状態遷移が検出されなかったことを報知する非信号確認ステップと、

前記信号確認ステップにより有効にされ、前記非信号確認ステップにより無効にされる検出信号を生成する検出信号生成ステップとを有する信号検出方法によ

り前記シリアルバス上の信号伝送を実行することを特徴とするコンピュータが読み取り可能なプログラム。

【 0 0 9 1 】

【発明の効果】

本発明によれば、P 1 3 9 4 b 等に代表される次世代デジタルインターフェースにおいて、高速なデータ転送速度で伝送されてくる入力信号の検出を、低消費電流、且つ低コストで実現することができる信号検出装置、信号検出方法、信号伝送システム、及びコンピュータ読み取り可能なプログラムを提供することが可能となる。

【図面の簡単な説明】

【図 1】

第 1 実施形態の信号検出装置を示す回路ブロック図である。

【図 2】

P 1 3 9 4 b 規格におけるシグナルディテクト信号のタイミングパラメータを示す説明図である。

【図 3】

P 1 3 9 4 b 規格における 8 b 1 0 b 符号を示すコード表（1）である。

【図 4】

P 1 3 9 4 b 規格における 8 b 1 0 b 符号を示すコード表（2）である。

【図 5】

第 1 実施形態における電圧レベル検出器の具体例を示す回路図である。

【図 6】

第 1 実施形態におけるシグナルディテクトセット回路の具体例を示す回路ブロック図である。

【図 7】

第 1 実施形態におけるシグナルディテクトリセット回路の具体例を示す回路ブロック図である。

【図 8】

シグナルディテクト信号のセットシーケンスを示す状態遷移図である。



【図 9】

シグナルディテクト信号のリセットシーケンスを示す状態遷移図である。

【図 1 0】

シグナルディテクト信号のセットシーケンスを示すタイムチャートである。

【図 1 1】

シグナルディテクト信号のセット中の動作を示すタイムチャートである。

【図 1 2】

シグナルディテクト信号のリセットシーケンスを示すタイムチャートである。

【図 1 3】

第 2 実施形態の信号検出装置の構成図である。

【図 1 4】

第 2 実施形態の信号検出装置で実行される信号検出方法のうちシグナルディテクト信号のセットフローを示すフローチャートである。

【図 1 5】

第 2 実施形態の信号検出装置で実行される信号検出方法のうちシグナルディテクト信号のリセットフローを示すフローチャートである。

【図 1 6】

信号伝送システムの構成例を示すシステム構成図である。

【図 1 7】

従来技術の信号検出装置を示す回路ブロックである。

【符号の説明】

1、2、1 0 0	信号検出装置
1 0	電圧レベル検出器
2 1	通信インターフェース
2 2	中央処理装置（C P U）
2 3	メモリ
2 4	磁気ディスク装置
2 5	表示装置（C R T）
2 6	キーボード



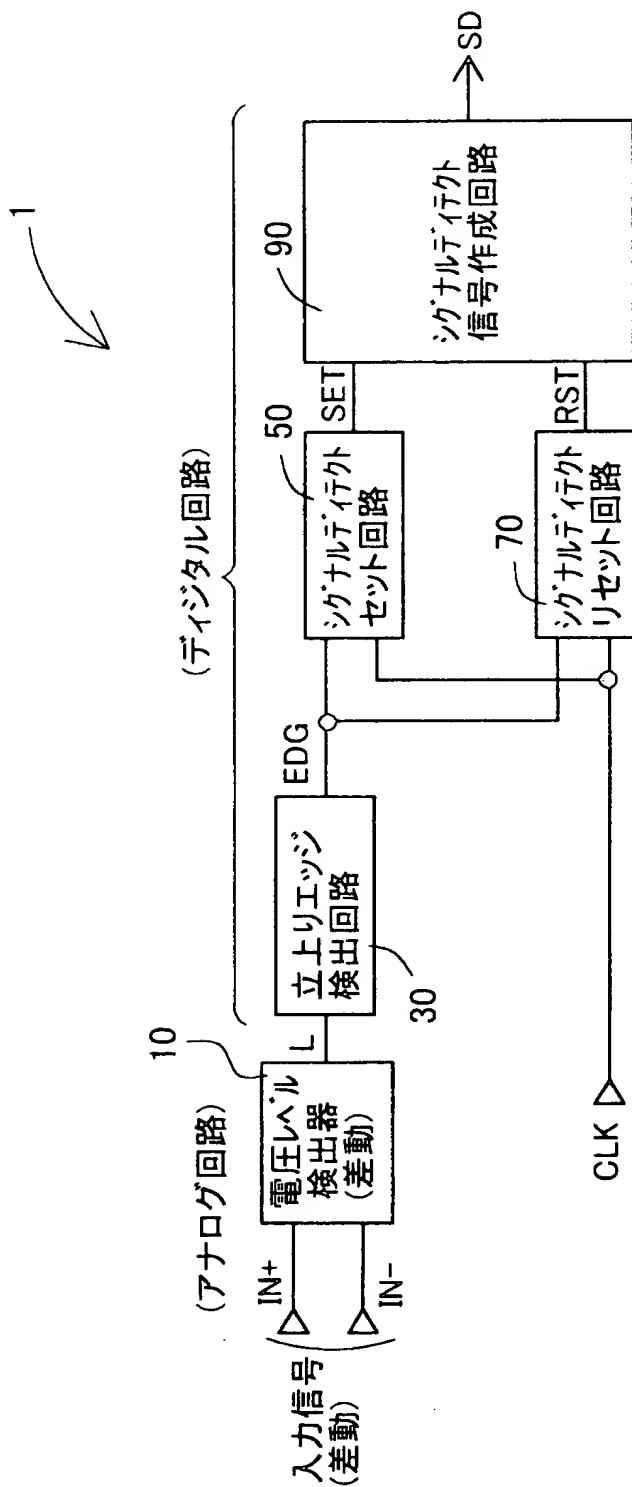
2 7	外部記憶媒体駆動装置
2 8	バス
2 9	外部記憶媒体
3 0	立上リエッジ検出回路
5 0	シグナルディテクトセット回路
5 6	カウンタ制御回路①
5 7	N x カウンタ
5 8	一致検出回路
7 0	シグナルディテクトリセット回路
7 2	カウンタ制御回路②
7 3	N y カウンタ
7 4	一致検出回路
9 0	シグナルディテクト信号作成回路

【書類名】

図面

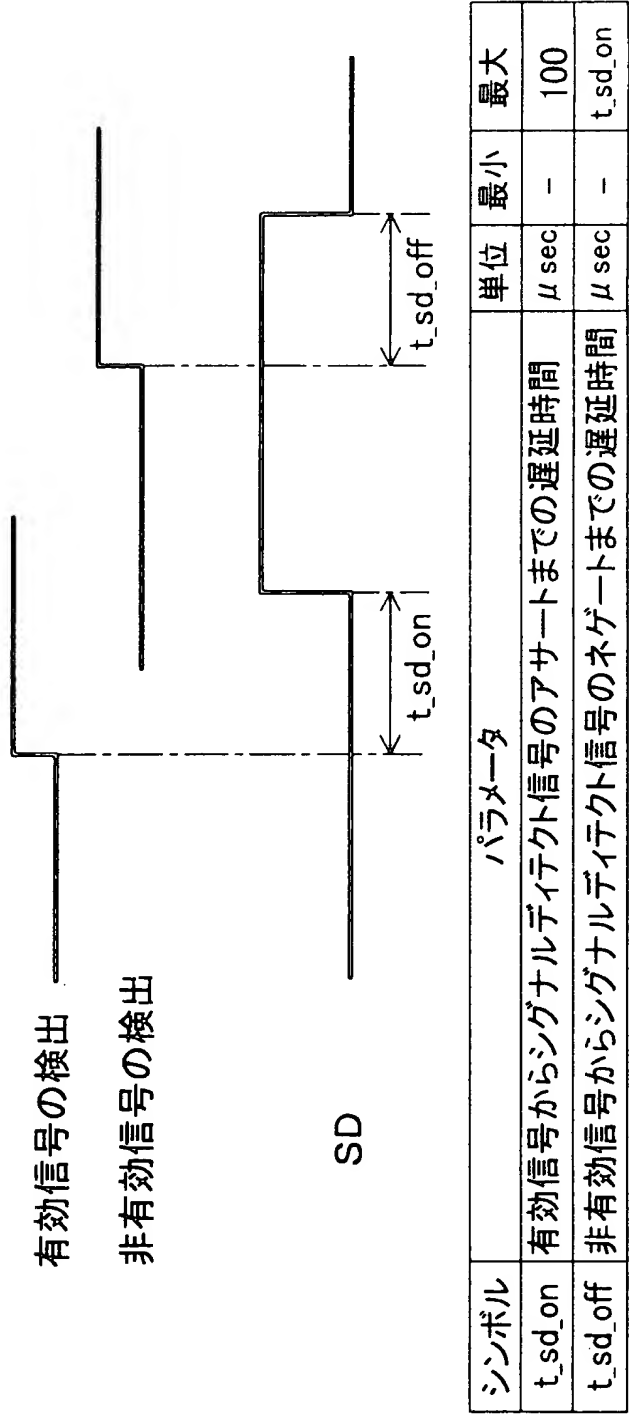
【図 1】

第1実施形態の信号検出装置のブロック図



【図 2】

P1394b規格におけるシグナルディテクト信号の  
タイミングパラメータ



【図 3】

P1394b規格における8b10bコード表 (1)

input			abcdei fghj output			input			abcdei fghj output		
Name	A B C D E F G H		rd<0		rd>0	Name	A B C D E F G H		rd<0		rd>0
	i		data table[i][0]		data table[i][1]		i		data table[i][0]		data table[i][1]
D0.0	00000000		1001110100		0110001011	D4.0	00100000		1101010100		0010101011
D0.4	00000001		1001110010		0110001101	D4.4	00100001		1101010010		0010101101
D0.2	00000010		1001110101		0110000101	D4.2	00100010		1101010101		0010100101
D0.6	00000011		1001110110		0110000110	D4.6	00100011		1101010110		0010100110
D0.1	00000100		1001111001		0110001001	D4.1	00100100		1101011001		0010101001
D0.5	00000101		1001111010		0110001010	D4.5	00100101		1101011010		0010101010
D0.3	00000110		1001110011		0110001100	D4.3	00100110		1101010011		0010101100
D0.7	00000111		1001110001		0110001110	D4.7	00100111		1101010001		0010101110
D16.0	00001000		0110110100		1001001011	D20.0	00101000		0010111011		0010110100
D16.4	00001001		0110110010		1001001101	D20.4	00101001		0010111101		0010110010
D16.2	00001010		0110110101		1001000101	D20.2	00101010		0010110101		0010110101
D16.6	00001011		0110110110		1001000110	D20.6	00101011		0010110110		0010110110
D16.1	00001100		0110111001		1001001001	D20.1	00101100		0010111001		0010111001
D16.5	00001101		0110111010		1001001010	D20.5	00101101		0010111010		0010111010
D16.3	00001110		0110110011		1001001100	D20.3	00101110		0010111100		0010111001
D16.7	00001111		0110110001		1001001110	D20.7	00101111		0010110111		0010111001
D8.0	00010000		1110010100		0001101011	D12.0	00110000		0011011011		0011010100
D8.4	00010001		1110010010		0001101101	D12.4	00110001		0011011101		0011010010
D8.2	00010010		1110010101		0001100101	D12.2	00110010		0011010101		0011010101
D8.6	00010011		1110010110		0001100110	D12.6	00110011		0011010110		0011010110
D8.1	00010100		1110011001		0001101001	D12.1	00110100		0011011001		0011011001
D8.5	00010101		1110011010		0001101010	D12.5	00110101		0011011010		0011011010
D8.3	00010110		1110010011		0001101100	D12.3	00110110		0011011100		0011010011
D8.7	00010111		1110010001		0001101110	D12.7	00110111		0011011110		0011010001
D24.0	00011000		1100110100		0011001011	D28.0	00111000		0011101011		0011100100
D24.4	00011001		1100110010		0011001101	D28.4	00111001		0011101101		0011100010
D24.2	00011010		1100110101		0011000101	D28.2	00111010		0011100101		0011100101
D24.6	00011011		1100110110		0011000110	D28.6	00111011		0011100110		0011100110
D24.1	00011100		1100111001		0011001001	D28.1	00111100		0011101001		0011101001
D24.5	00011101		1100111010		0011001010	D28.5	00111101		0011101010		0011101010
D24.3	00011110		1100110011		0011001100	D28.3	00111110		0011101100		0011100011
D24.7	00011111		1100110001		0011001110	D28.7	00111111		0011101110		0011100001
D2.0	01000000		1011010100		0100101011	D6.0	01100000		0110011011		0110010100
D2.4	01000001		1011010010		0100101101	D6.4	01100001		0110011101		0110010010
D2.2	01000010		1011010101		0100100101	D6.2	01100010		0110010101		0110010101
D2.6	01000011		1011010110		0100100110	D6.6	01100011		0110010110		0110010110
D2.1	01000100		1011011001		0100101001	D6.1	01100100		0110011001		0110011001
D2.5	01000101		1011011010		0100101010	D6.5	01100101		0110011010		0110011010
D2.3	01000110		1011010011		0100101100	D6.3	01100110		0110011100		0110010011
D2.7	01000111		1011010001		0100101110	D6.7	01100111		0110011110		0110010001
D18.0	01001000		0100110101		0100110100	D22.0	01101000		0110101011		0110100100
D18.4	01001001		0100110010		0100110010	D22.4	01101001		0110101101		0110100010
D18.2	01001010		0100110101		0100110101	D22.2	01101010		0110100101		0110100101
D18.6	01001011		0100110110		0100110110	D22.6	01101011		0110100110		0110100110
D18.1	01001100		0100111001		0100111001	D22.1	01101100		0110101001		0110101001
D18.5	01001101		0100111010		0100111010	D22.5	01101101		0110101010		0110101010
D18.3	01001110		0100111001		0100111011	D22.3	01101110		0110101100		0110100011
D18.7	01001111		0100110111		0100110001	D22.7	01101111		0110101110		0110100001
D10.0	01010000		0101011011		0101010100	D14.0	01110000		0111001011		0111000100
D10.4	01010001		0101011101		0101010010	D14.4	01110001		0111001101		0111000010
D10.2	01010010		0101010101		0101010101	D14.2	01110010		0111000101		0111000010
D10.6	01010011		0101010110		0101010110	D14.6	01110011		0111000110		0111000010
D10.1	01010100		0101011001		0101011001	D14.1	01110100		0111001001		0111000101
D10.5	01010101		0101011010		0101011010	D14.5	01110101		0111001010		0111000101
D10.3	01010110		0101011100		0101010011	D14.3	01110110		0111001100		0111000011
D10.7	01010111		0101011110		0101010001	D14.7	01110111		0111001110		0111000001
D26.0	01011000		0101101011		0101100100	D30.0	01111000		0111100100		1000011011
D26.4	01011001		0101101010		0101100010	D30.4	01111001		0111100010		1000011101
D26.2	01011010		0101100101		0101100101	D30.2	01111010		0111100101		1000010101
D26.6	01011011		0101100110		0101100110	D30.6	01111011		0111100110		1000010110
D26.1	01011100		0101101001		0101101001	D30.1	01111100		0111101001		1000011001
D26.5	01011101		0101101010		0101101010	D30.5	01111101		0111101010		1000011010
D26.3	01011110		0101101100		0101100011	D30.3	01111110		0111100011		1000011100
D26.7	01011111		0101101110		0101100001	D30.7	01111111		0111100001		1000011110
D1.0	10000000		0111010100		1000101101	D5.0	10100000		1010011011		1010010100
D1.4	10000001		0111010010		1000101101	D5.4	10100001		1010011101		1010010010
D1.2	10000010		0111010101		1000100101	D5.2	10100010		1010010101		1010010101
D1.6	10000011		0111010110		1000100110	D5.6	10100011		1010010110		1010010110

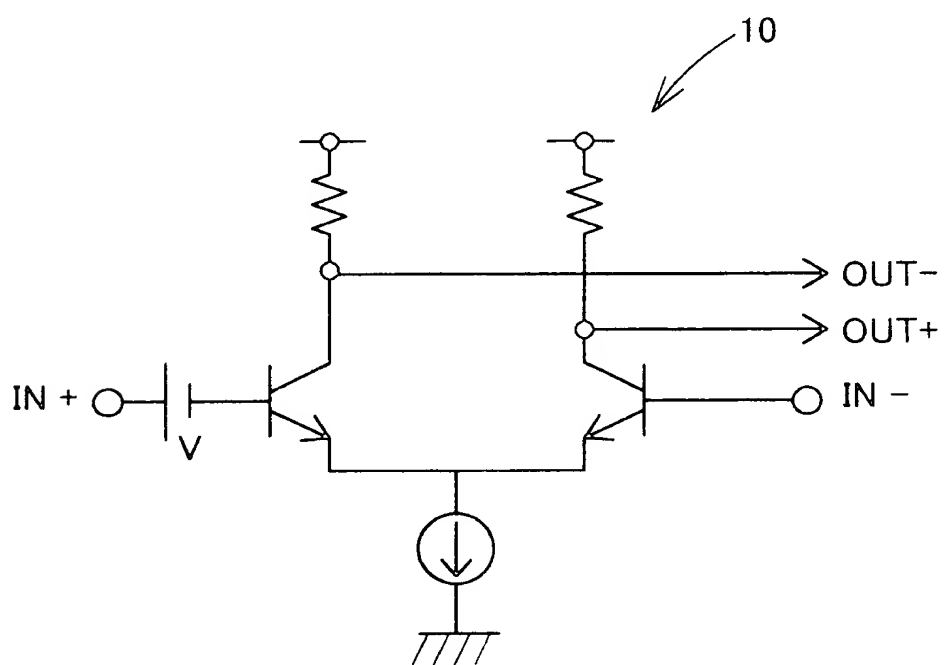
【図 4】

P1394b規格における8b10bコード表 (2)

input				abcdei fghj output				input				abcdei fghj output			
Name	A B C D E F G H	rd<0	rd>0	Name	A B C D E F G H	rd<0	rd>0	Name	A B C D E F G H	rd<0	rd>0	Name	A B C D E F G H	rd<0	rd>0
	i	data table[i][0]	data table[i][1]		i	data table[i][0]	data table[i][1]		i	data table[i][0]	data table[i][1]		i	data table[i][0]	data table[i][1]
D1.1	10000100	0111011001	1000101001	D5.1	10100100	1010011001	1010011001	D9.1	10010100	1001011001	1001011001	D13.1	10110100	1011011001	1011011001
D1.5	10000101	0111011010	1000101010	D5.5	10100101	1010011010	1010011010	D9.5	10010101	1001011010	1001011010	D13.5	10110101	1011011010	1011011010
D1.3	10000110	0111011001	1000101100	D5.3	10100110	1010011100	1010011100	D9.3	10010110	1001011100	1001011100	D13.3	10110110	1011011100	1011011100
D1.7	10000111	0111011001	1000101110	D5.7	10100111	1010011110	1010011110	D9.7	10010111	1001011110	1001011110	D13.7	10110111	1011011110	1011011110
D17.0	10001000	1000111011	1000110010	D21.0	10101000	1010101011	1010101011	D25.0	10011000	1001101011	1001101011	D29.0	10111000	1011101011	1011101011
D17.4	10001001	1000111101	1000110010	D21.4	10101001	1010101101	1010101101	D25.4	10011001	1001101101	1001101101	D29.4	10111001	1011101101	1011101101
D17.2	10001010	1000110101	1000110101	D21.2	10101010	1010101010	1010101010	D25.2	10011010	1001101010	1001101010	D29.2	10111010	1011101010	1011101010
D17.6	10001011	1000110110	1000110110	D21.6	10101011	1010101110	1010101110	D25.6	10011011	1001101110	1001101110	D29.6	10111011	1011101110	1011101110
D17.1	10001100	1000111001	1000111001	D21.1	10101100	1010110010	1010110010	D25.1	10011100	1001110010	1001110010	D29.1	10111100	1011110010	1011110010
D17.5	10001101	1000111010	1000111010	D21.5	10101101	1010110110	1010110110	D25.5	10011101	1001110110	1001110110	D29.5	10111101	1011110110	1011110110
D17.3	10001110	1000111100	1000110011	D21.3	10101110	1010111010	1010111010	D25.3	10011110	1001111010	1001111010	D29.3	10111110	1011111010	1011111010
D17.7	10001111	1000110111	1000110001	D21.7	10101111	1010111110	1010111110	D25.7	10011111	1001111110	1001111110	D29.7	10111111	1011111110	1011111110
D9.0	10010000	1001011011	1001010010	D13.0	10110000	1011001011	1011001011	D9.4	10010001	1001011101	1001010010	D13.4	10110001	1011001101	1011001101
D9.4	10010001	1001011101	1001010010	D13.4	10110001	1011001101	1011001101	D9.2	10010010	1001011010	1001010010	D13.2	10110010	1011001101	1011001101
D9.2	10010010	1001011010	1001010010	D13.2	10110010	1011001101	1011001101	D9.6	10010011	1001011011	1001010011	D13.6	10110011	1011001110	1011001110
D9.6	10010011	1001011011	1001010011	D13.6	10110011	1011001110	1011001110	D9.1	10010100	1001011001	1001011001	D13.1	10110100	1011001001	1011001001
D9.1	10010100	1001011001	1001011001	D13.1	10110100	1011001001	1011001001	D9.5	10010101	1001011010	1001011010	D13.5	10110101	1011001010	1011001010
D9.5	10010101	1001011010	1001011010	D13.5	10110101	1011001010	1011001010	D9.3	10010110	1001011100	1001011100	D13.3	10110110	1011001100	1011001100
D9.3	10010110	1001011100	1001011100	D13.3	10110110	1011001100	1011001100	D9.7	10010111	1001011110	1001011110	D13.7	10110111	1011001110	1011001110
D9.7	10010111	1001011110	1001011110	D13.7	10110111	1011001110	1011001110	D25.0	10011000	1001101011	1001101011	D29.0	10111000	1011101011	1011101011
D25.0	10011000	1001101011	1001101011	D29.0	10111000	1011101011	1011101011	D25.4	10011001	1001101101	1001101101	D29.4	10111001	1011101101	1011101101
D25.4	10011001	1001101101	1001101101	D29.4	10111001	1011101101	1011101101	D25.2	10011010	1001101010	1001101010	D29.2	10111010	1011101010	1011101010
D25.2	10011010	1001101010	1001101010	D29.2	10111010	1011101010	1011101010	D25.6	10011011	1001101110	1001101110	D29.6	10111011	1011101110	1011101110
D25.6	10011011	1001101110	1001101110	D29.6	10111011	1011101110	1011101110	D25.1	10011100	1001110010	1001110010	D29.1	10111100	1011110010	1011110010
D25.1	10011100	1001110010	1001110010	D29.1	10111100	1011110010	1011110010	D25.5	10011101	1001110110	1001110110	D29.5	10111101	1011110110	1011110110
D25.5	10011101	1001110110	1001110110	D29.5	10111101	1011110110	1011110110	D25.3	10011110	1001111010	1001111010	D29.3	10111110	1011111010	1011111010
D25.3	10011110	1001111010	1001111010	D29.3	10111110	1011111010	1011111010	D25.7	10011111	1001111110	1001111110	D29.7	10111111	1011111110	1011111110
D25.7	10011111	1001111110	1001111110	D29.7	10111111	1011111110	1011111110	D3.0	11000000	1100011011	1100010100	D7.0	11100000	1110001011	0001111010
D3.0	11000000	1100011011	1100010100	D7.0	11100000	1110001011	0001111010	D3.4	11000001	1100011101	1100010010	D7.4	11100001	1110001101	0001111010
D3.4	11000001	1100011101	1100010010	D7.4	11100001	1110001101	0001111010	D3.2	11000010	1100011010	1100010101	D7.2	11100010	1110001101	0001111010
D3.2	11000010	1100011010	1100010101	D7.2	11100010	1110001101	0001111010	D3.6	11000011	1100011101	1100010110	D7.6	11100011	1110001110	0001111010
D3.6	11000011	1100011101	1100010110	D7.6	11100011	1110001110	0001111010	D3.1	11000100	1100011001	1100011101	D7.1	11100100	1110001001	0001111101
D3.1	11000100	1100011001	1100011101	D7.1	11100100	1110001001	0001111101	D3.5	11000101	1100011010	1100011101	D7.5	11100101	1110001010	0001111101
D3.5	11000101	1100011010	1100011101	D7.5	11100101	1110001010	0001111101	D3.3	11000110	1100011100	1100011011	D7.3	11100110	1110001100	0001111101
D3.3	11000110	1100011100	1100011011	D7.3	11100110	1110001100	0001111101	D3.7	11000111	1100011110	1100011001	D7.7	11100111	1110001110	0001111001
D3.7	11000111	1100011110	1100011001	D7.7	11100111	1110001110	0001111001	D19.0	11001000	1100101011	1100100100	D23.0	11101000	1110100100	0001011011
D19.0	11001000	1100101011	1100100100	D23.0	11101000	1110100100	0001011011	D19.4	11001001	1100101101	1100100010	D23.4	11101001	1110100010	0001011101
D19.4	11001001	1100101101	1100100010	D23.4	11101001	1110100010	0001011101	D19.2	11001010	1100100101	1100100101	D23.2	11101010	1110100101	0001010101
D19.2	11001010	1100100101	1100100101	D23.2	11101010	1110100101	0001010101	D19.6	11001011	1100100110	1100100110	D23.6	11101011	1110100110	0001010110
D19.6	11001011	1100100110	1100100110	D23.6	11101011	1110100110	0001010110	D19.1	11001100	1100101001	1100101001	D23.1	11101100	1110101001	0001011001
D19.1	11001100	1100101001	1100101001	D23.1	11101100	1110101001	0001011001	D19.5	11001101	1100101010	1100101010	D23.5	11101101	1110101010	0001011010
D19.5	11001101	1100101010	1100101010	D23.5	11101101	1110101010	0001011010	D19.3	11001110	1100101100	1100100011	D23.3	11101110	1110100011	0001011100
D19.3	11001110	1100101100	1100100011	D23.3	11101110	1110100011	0001011100	D19.7	11001111	1100101110	1100100001	D23.7	11101111	1110100001	0001011110
D19.7	11001111	1100101110	1100100001	D23.7	11101111	1110100001	0001011110	D11.0	11010000	1101001011	1101000100	D15.0	11110000	0101110100	1010001011
D11.0	11010000	1101001011	1101000100	D15.0	11110000	0101110100	1010001011	D11.4	11010001	1101001101	1101000010	D15.4	11110001	0101110010	1010001101
D11.4	11010001	1101001101	1101000010	D15.4	11110001	0101110010	1010001101	D11.2	11010010	1101000101	1101000010	D15.2	11110010	0101110101	1010000101
D11.2	11010010	1101000101	1101000010	D15.2	11110010	0101110101	1010000101	D11.6	11010011	1101000110	1101000010	D15.6	11110011	0101110110	1010000110
D11.6	11010011	1101000110	1101000010	D15.6	11110011	0101110110	1010000110	D11.1	11010100	1101001001	1101001001	D15.1	11110100	0101111001	1010001001
D11.1	11010100	1101001001	1101001001	D15.1	11110100	0101111001	1010001001	D11.5	11010101	1101001010	1101001010	D15.5	11110101	0101111010	1010001010
D11.5	11010101	1101001010	1101001010	D15.5	11110101	0101111010	1010001010	D11.3	11010110	1101001100	1101000011	D15.3	11110110	0101111011	1010001100
D11.3	11010110	1101001100	1101000011	D15.3	11110110	0101111011	1010001100	D11.7	11010111	1101001110	1101001000	D15.7	11110111	0101111001	1010001110
D11.7	11010111	1101001110	1101001000	D15.7	11110111	0101111001	1010001110	D27.0	11011000	1101100100	0010011011	D31.0	11111000	1010110100	0101001011
D27.0	11011000	1101100100	0010011011	D31.0	11111000	1010110100	0101001011	D27.4	11011001	1101100010	0010011101	D31.4	11111001	1010110010	0101001101
D27.4	11011001	1101100010	0010011101	D31.4	11111001	1010110010	0101001101	D27.2	11011010	1101100101	0010011010	D31.2	11111010	1010110101	0101000101
D27.2	11011010	1101100101	0010011010	D31.2	11111010	1010110101	0101000101	D27.6	11011011	1101100110	0010010110	D31.6	11111011	1010110110	0101000110
D27.6	11011011	1101100110	0010010110	D31.6	11111011	1010110110	0101000110	D27.1	110						

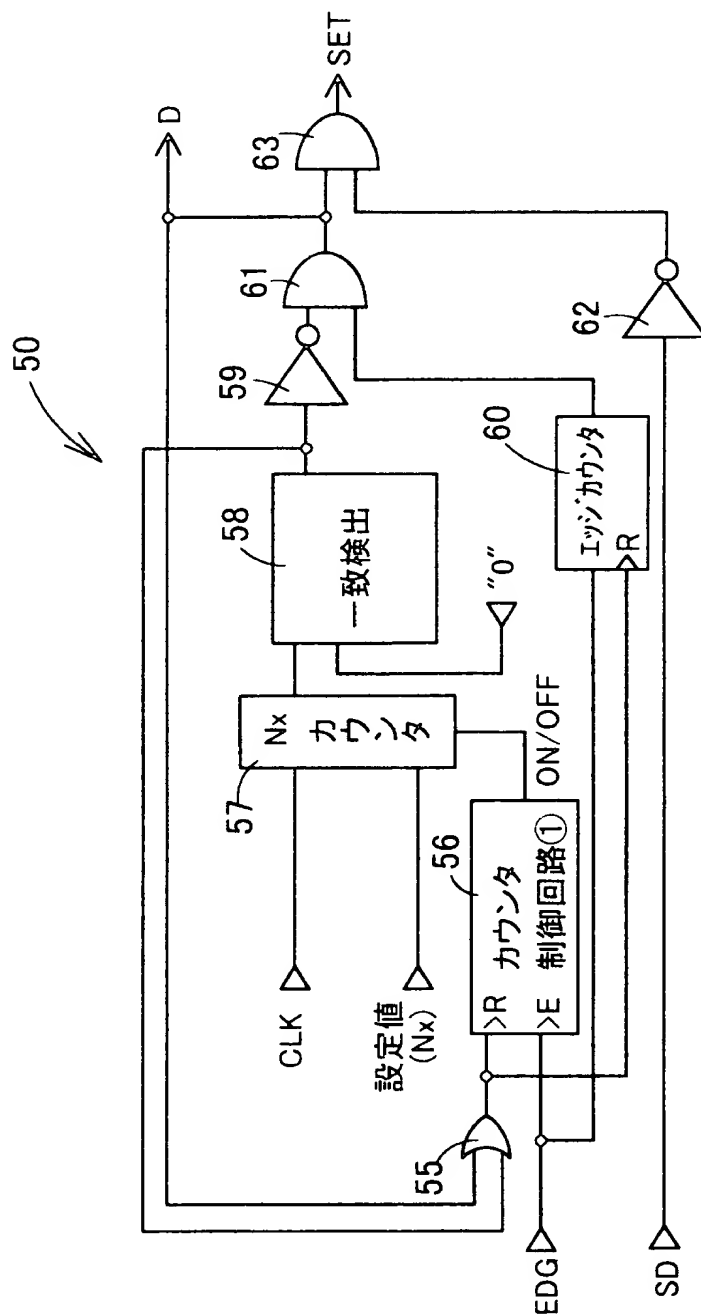
【図 5】

第 1 実施形態における電圧レベル検出器の具体例



【図 6】

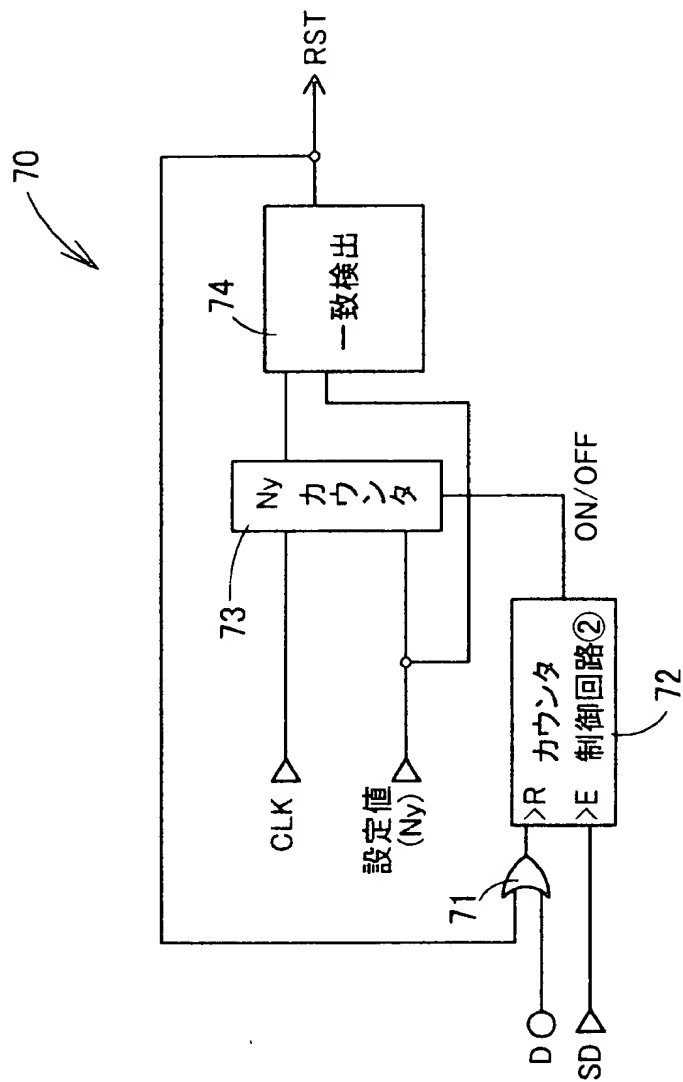
第1実施形態におけるシグナルディテクトセット回路の具体例





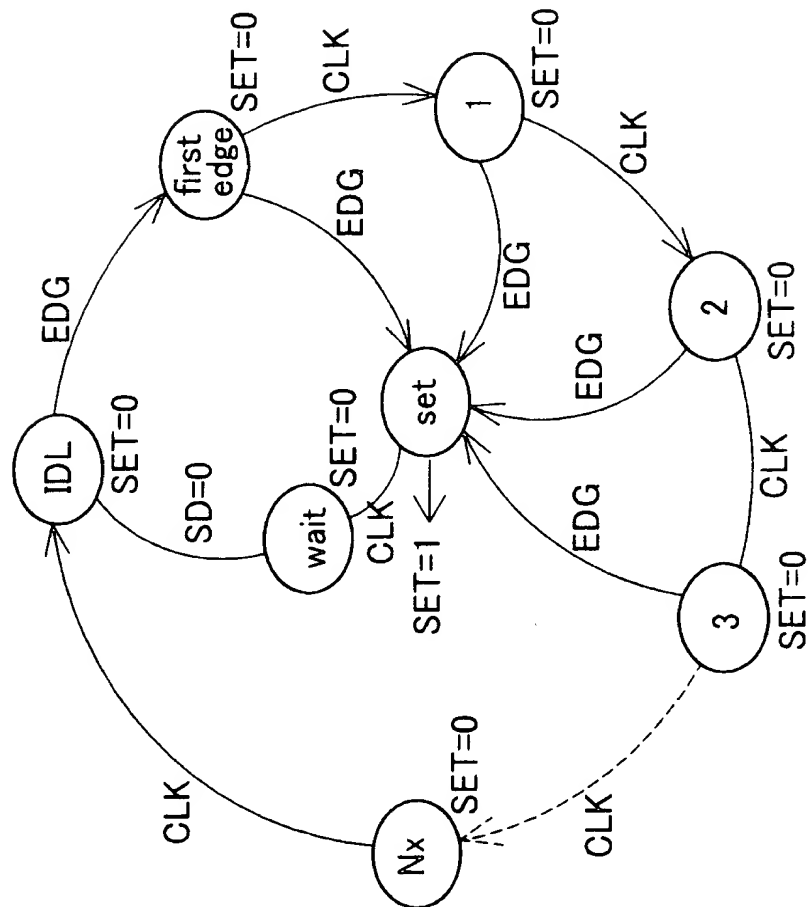
【図 7】

第1実施形態におけるシグナルディテクトリセット回路の具体例



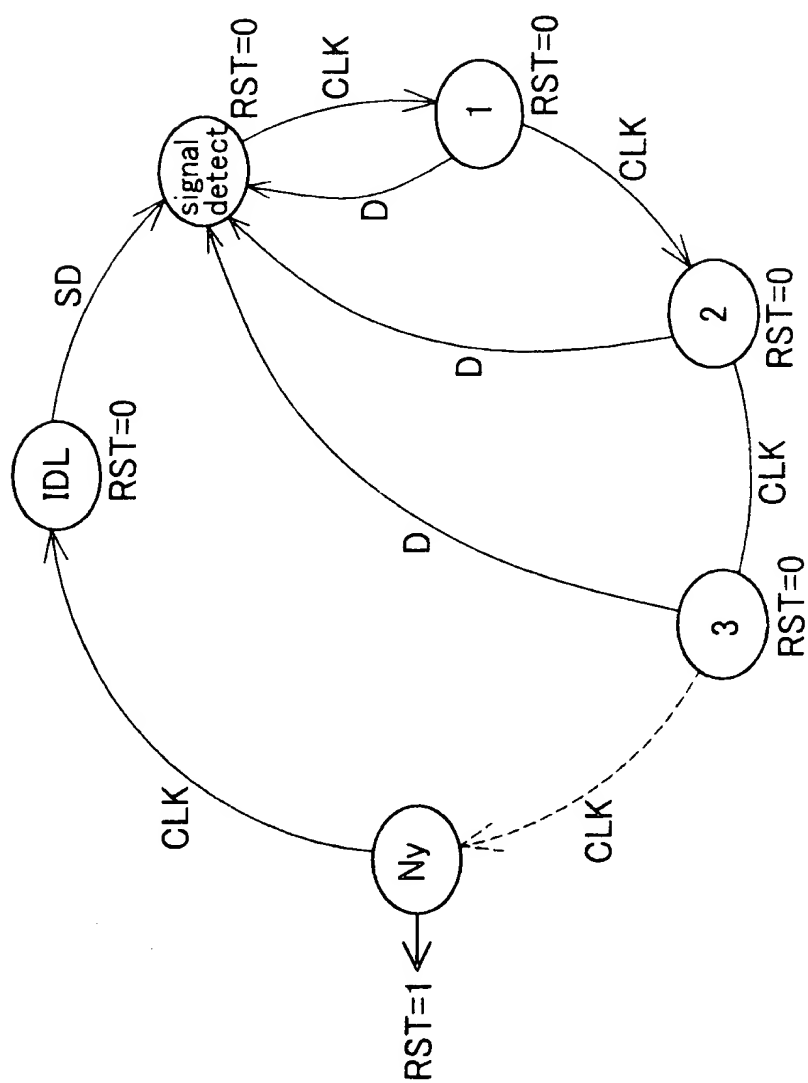
【図 8】

シグナルディテクト信号のセットシーケンス



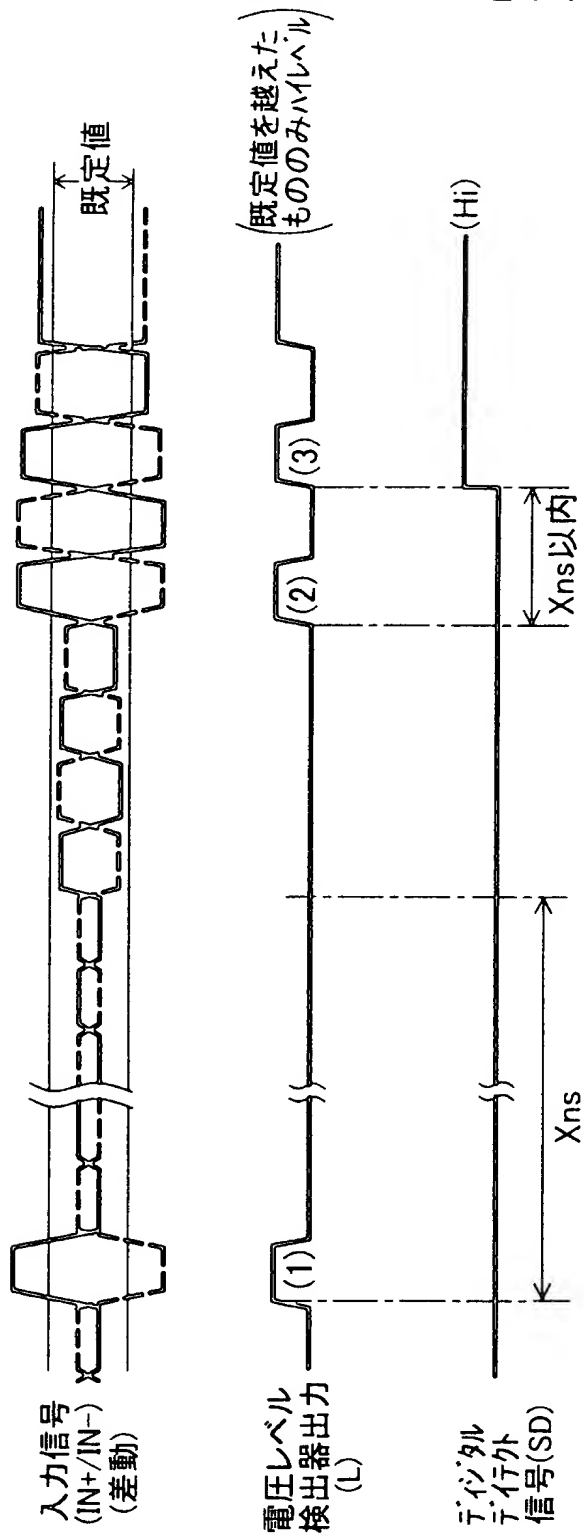
【図 9】

## シグナルディテクト信号のリセットシーケンス



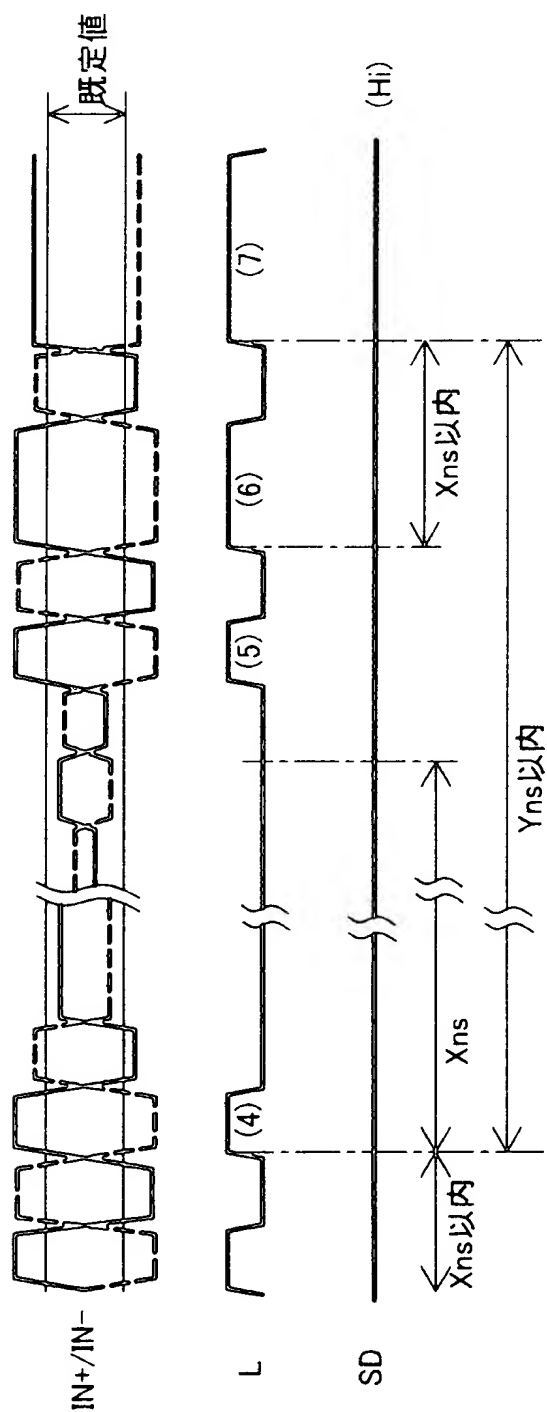
【図 1 0】

シグナルディテクト信号のセットシーケンスを示すタイムチャート



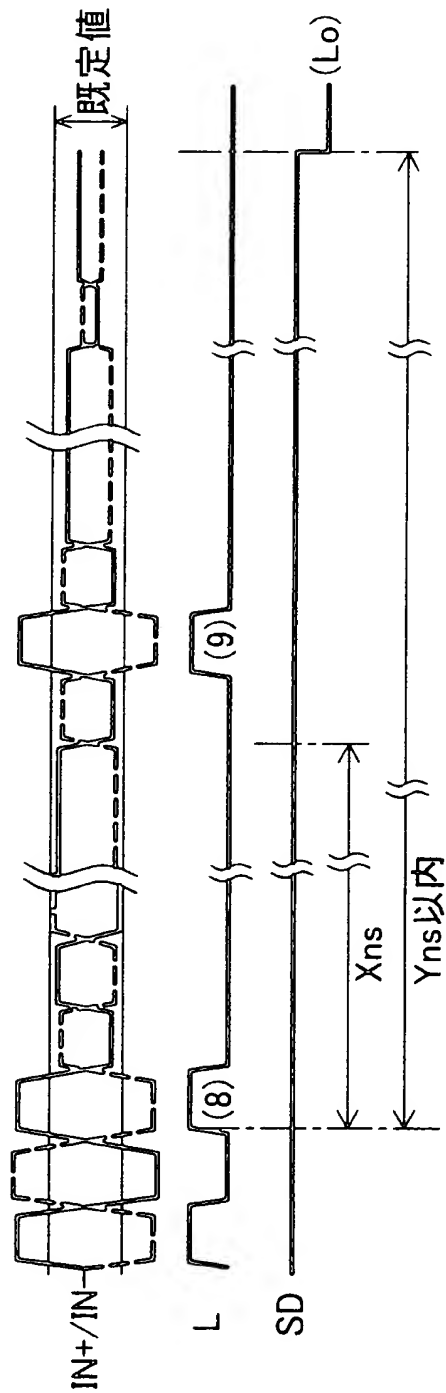
【図 11】

シグナルディテクト信号のセット中の動作を示すタイムチャート



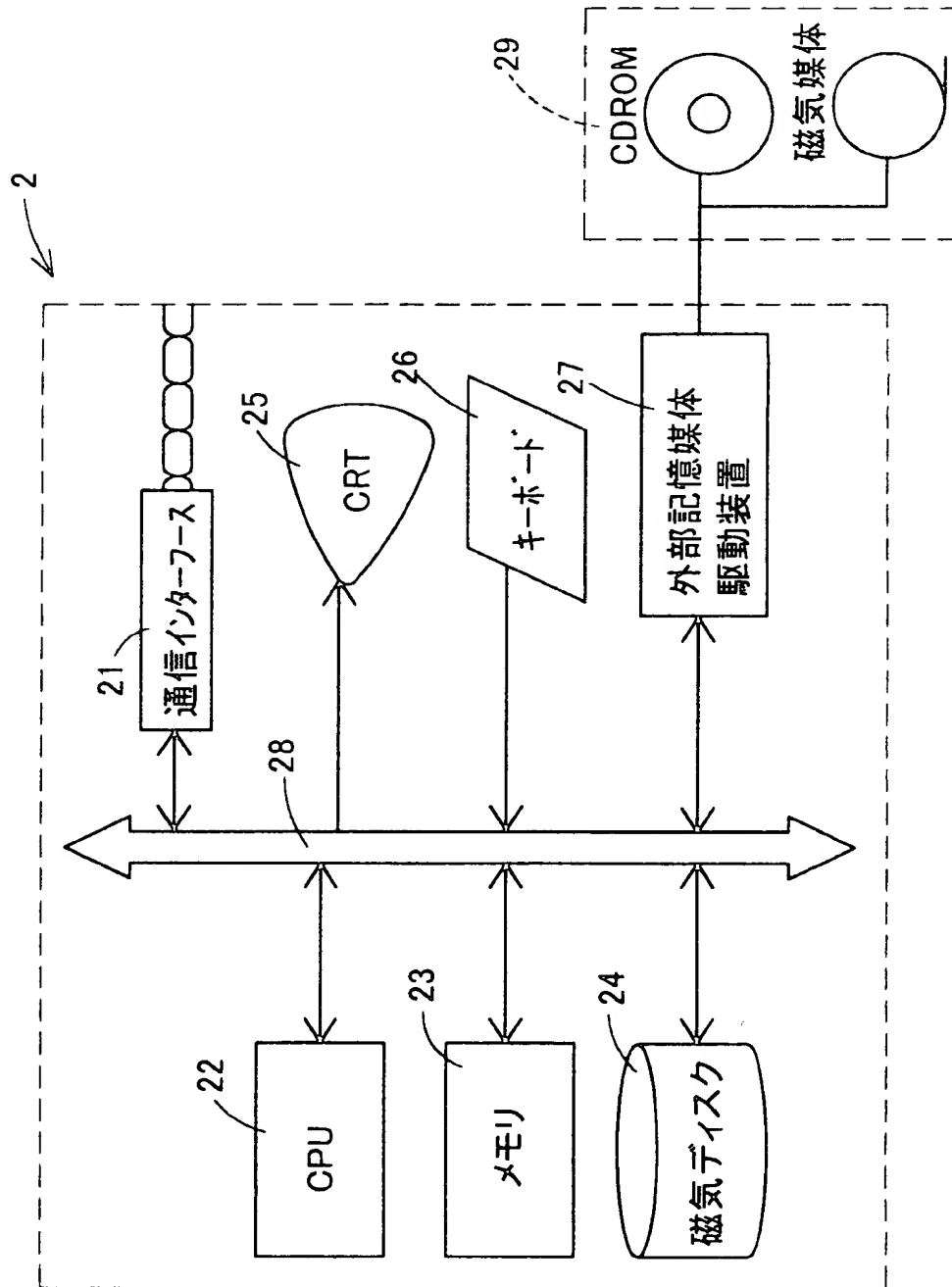
【図 12】

シグナルディテクト信号のリセットシーケンスを示すタイムチャート



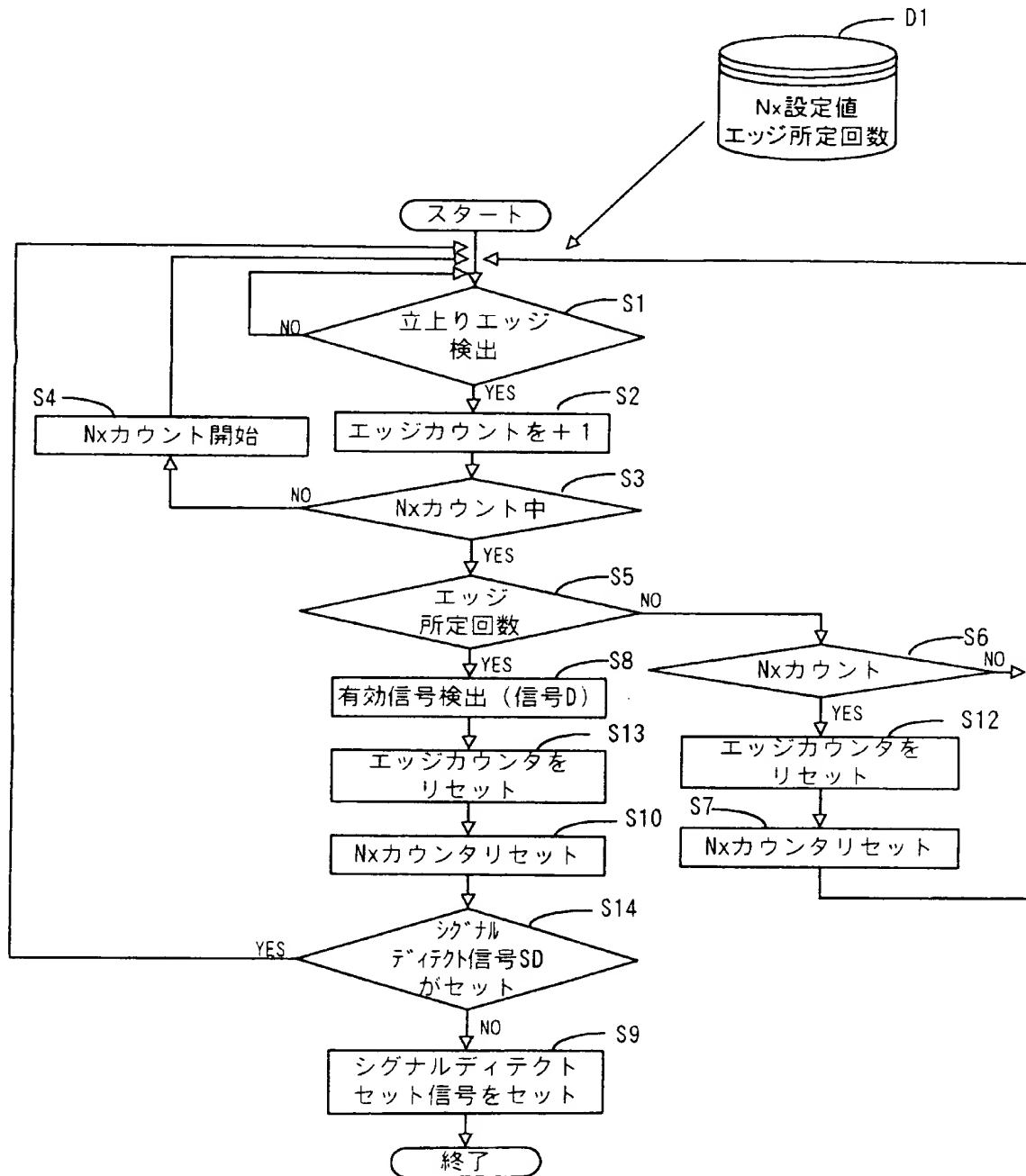
【図 13】

第2実施形態の信号検出装置の構成図



【図 14】

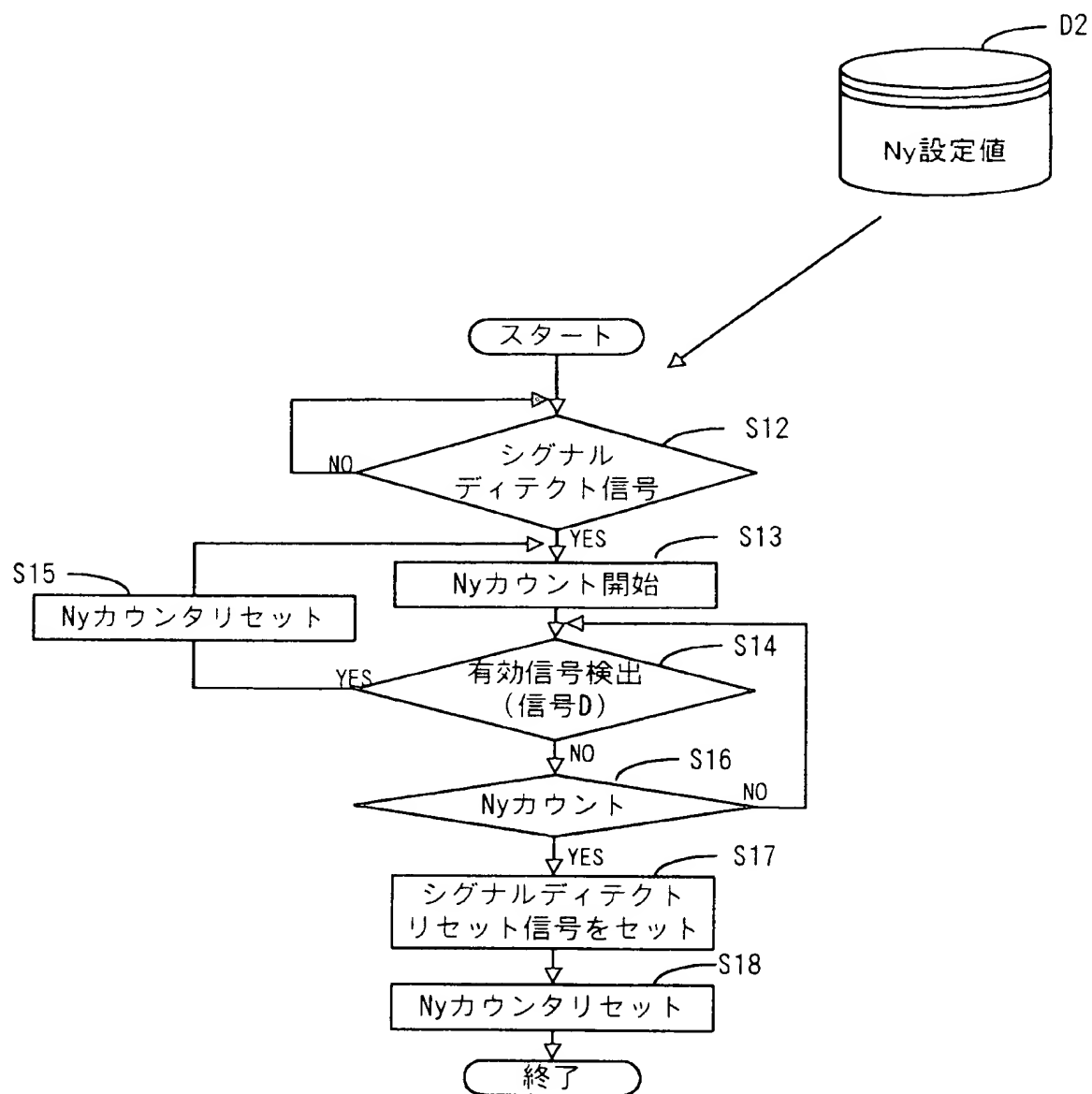
第2実施形態の信号検出装置で実行される信号検出方法  
(シグナルディテクト信号のセットフロー)





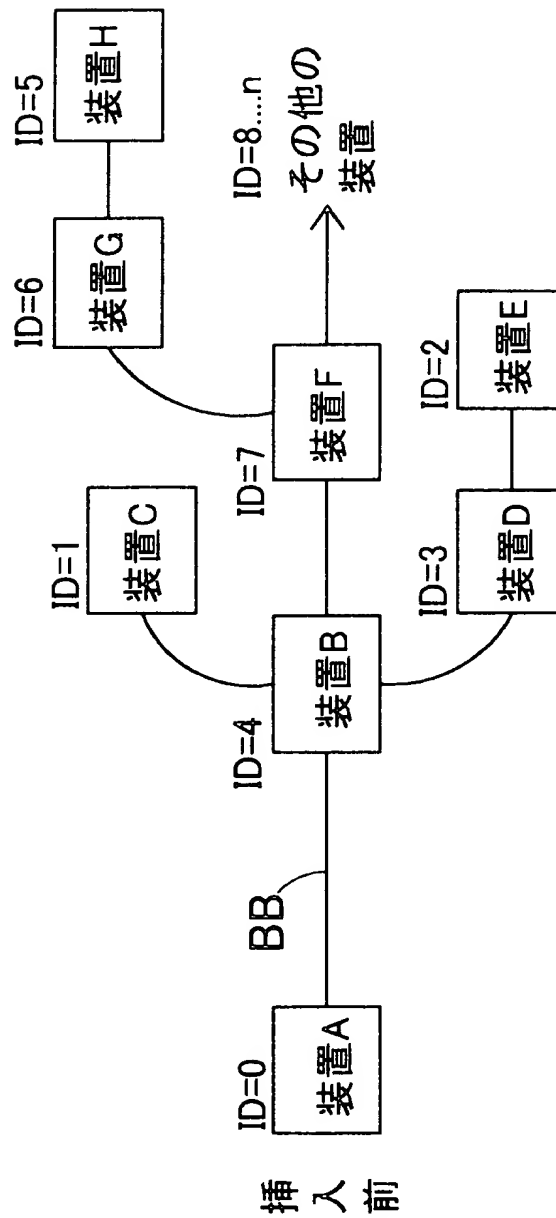
【図 1 5】

第 2 実施形態の信号検出装置で実行される信号検出方法  
(シグナルディテクト信号のリセットフロー)



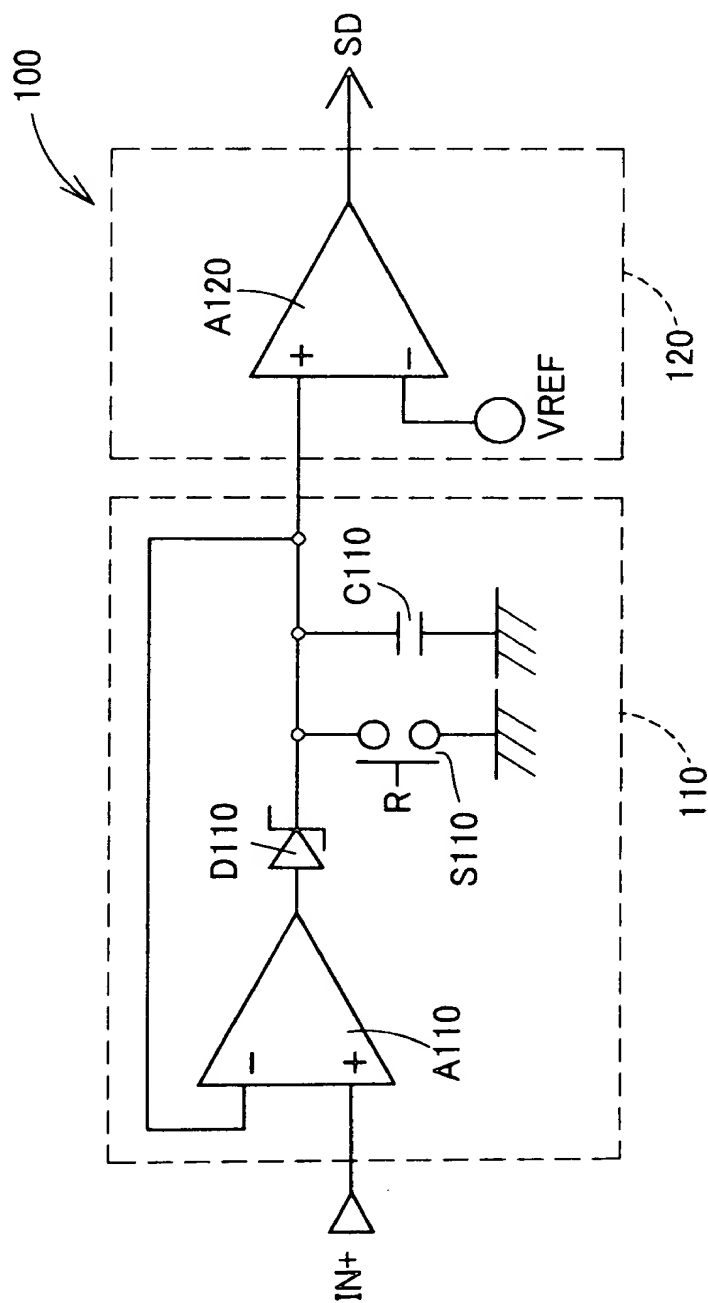
【図 1 6】

信号伝送システムの構成例



【図 17】

従来技術の信号検出装置



【書類名】 要約書

【要約】

【課題】 高速なデータ転送速度で伝送される差動入力信号の検出を、低消費電流、且つ低コストで実現する信号検出装置、信号検出方法、信号伝送システム、及びコンピュータ読み取り可能なプログラムを提供すること

【解決手段】 電圧レベル検出器 1 0 は所定規定値以上の差動入力  $I_{N+}$ 、 $I_{N-}$  に対してハイレベルの出力信号  $L$  を出力する。立上りエッジ検出回路 3 0 は出力信号  $L$  の立上りエッジを検出してエッジ検出信号  $EDG$  を出力する。シグナルディテクトセット回路 5 0 は第 1 所定時間内に所定回数のエッジ検出信号  $EDG$  を検出することによりセット信号  $SET$  を出力する。シグナルディテクトリセット回路 7 0 は第 2 所定時間内にエッジ検出信号  $EDG$  を検出しない場合にリセット信号  $RST$  を出力する。シグナルディテクト信号作成回路 9 0 はセット信号  $SET$  とリセット信号  $RST$  によりシグナルディテクト信号  $SD$  を生成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日  
[変更理由] 住所変更  
住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号  
氏 名 富士通株式会社

特 2 0 0 1 - 1 8 5 0 4 0

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 2 3 7 6 1 7 ]

1. 変更年月日 1 9 9 0 年 9 月 6 日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2

氏 名 富士通ヴィエルエスアイ株式会社